

Family list

3 family members for:

JP2001101966

Derived from 2 applications.

**1 ELECTRON SOURCE ARRAY, METHOD FOR MANUFACTURING IT AND
METHOD FOR DRIVING IT**

Publication info: **JP3600126B2 B2** - 2004-12-08

JP2001101966 A - 2001-04-13

**2 Electron-source array and manufacturing method thereof as well as
driving method for electron-source array**

Publication info: **US6650061 B1** - 2003-11-18

Data supplied from the **esp@cenet** database - Worldwide

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

ELECTRON SOURCE ARRAY, METHOD FOR MANUFACTURING IT AND METHOD FOR DRIVING IT

Patent number: JP2001101966

Also published as:

Publication date: 2001-04-13

US6650061 (B1)

Inventor: URAYAMA MASAO; OKI HIROSHI

Applicant: SHARP KK

Classification:

- International: H01J1/304; G09G3/20; H01J9/02; H01J29/04;
H01J31/12

- european:

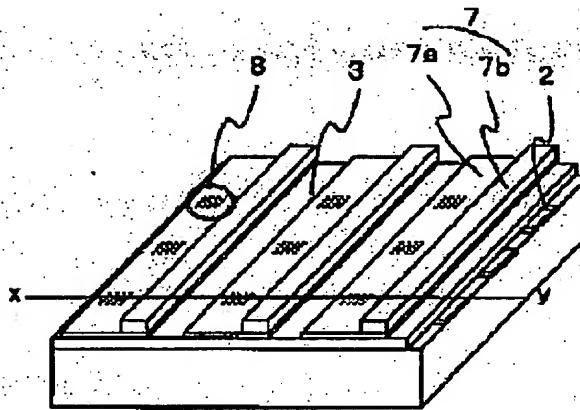
Application number: JP20000219621 20000719

Priority number(s): JP19990214976 19990729; JP20000219621 20000719

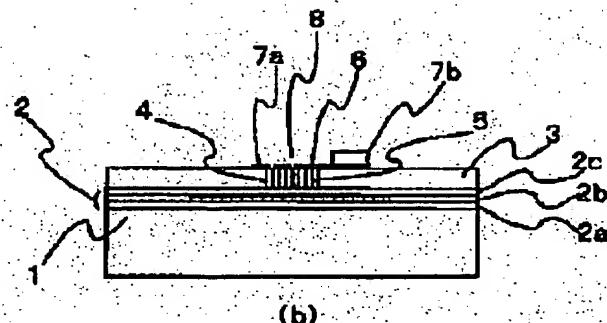
[Report a data error here](#)

Abstract of JP2001101966

PROBLEM TO BE SOLVED: To provide an electron source array that forms uniform superfine emitters and is capable of X-Y matrix drive without using high precision patterning technique. **SOLUTION:** An electron source comprising cathode electrode wirings 2 mounted linearly on insulating substrate 1 and gate electrode wirings 7 with opposed orientation arranged by interposing insulating membrane 4, in which micro pores 5 are provided through the insulating membrane 4 at a crossing-over region of the cathode electrode wirings 2 and the gate electrode wirings 7, the micro pores are charged with conductive material or semiconductor material, and the material is electrically connected to the cathode electrode wirings 2 and is spaced out with respect to the gate electrode wirings 7.



(a)



(b)

Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-101966

(P2001-101966A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl.
H 01 J 1/304
G 09 G 3/20 3/22
H 01 J 9/02 29/04

識別記号
6 8 0

F I
C 09 G 3/20 3/22
H 01 J 9/02 29/04
29/04 31/12

テーマコード (参考)
6 8 0 H
E
B
C

審査請求 未請求 請求項の数17 OL (全 28 頁) 最終頁に続く

(21) 出願番号 特願2000-219621 (P2000-219621)
(22) 出願日 平成12年7月19日 (2000.7.19)
(31) 優先権主張番号 特願平11-214976
(32) 優先日 平成11年7月29日 (1999.7.29)
(33) 優先権主張国 日本 (JP)

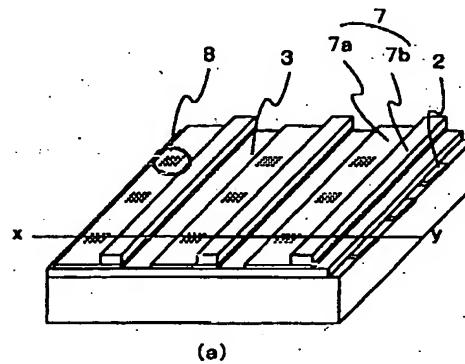
(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72) 発明者 浦山 雅夫
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内
(72) 発明者 大木 博
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内
(74) 代理人 100080034
弁理士 原 謙三

(54) 【発明の名称】 電子源アレイ及びその製造方法並びに電子源アレイの駆動方法

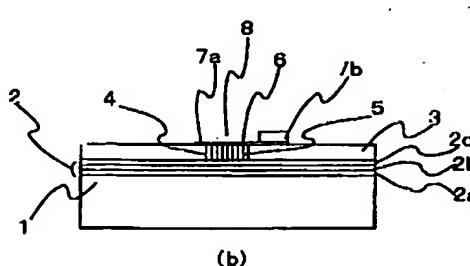
(57) 【要約】

【課題】 高精度なバターニング技術を用いずに、非常に微細なエミッタを均一に形成し、更にX-Yマトリクス駆動が可能な電子源アレイを提供する。

【解決手段】 絶縁性の基板1上にライン状に配置されたカソード電極配線2と、絶縁性膜4を挟んで対向配置されたゲート電極配線7とを具備する電子源アレイであって、前記カソード電極配線2と前記ゲート電極配線7の交差部分に、絶縁性膜4中に貫通して形成された細孔5を具備し、該細孔5中に導電性材料または半導体材料が充填され、かつ該材料が前記カソード電極配線2と電気的に接続されており、前記ゲート電極配線7とは空間を隔てて形成されている構造である。



(a)



(b)

【特許請求の範囲】

【請求項1】絶縁性基板上にライン状に配置されたカソード電極と、絶縁性膜を挟んで対向配置されたゲート電極とを具備する電子源アレイであって、

前記カソード電極と前記ゲート電極の交差部分に、絶縁性膜中に貫通して形成された細孔を具備し、該細孔中に導電性材料または半導体材料が充填され、かつ該材料が前記カソード電極と電気的に接続されており、前記ゲート電極とは空間を隔てて形成されていることを特徴とする電子源アレイ。

【請求項2】前記ゲート電極が、電子放出材料が充填された少なくとも1つの細孔を取り囲むように形成されていることを特徴とする請求項1に記載の電子源アレイ。

【請求項3】前記ゲート電極が細孔を取り囲むように形成されている第1のゲート電極層と、細孔が形成されていない領域に形成されている第2のゲート電極層により構成されていることを特徴とする請求項1に記載の電子源アレイ。

【請求項4】前記絶縁性膜とゲート電極との間であって、電子放出部となる導電性材料あるいは半導体材料が充填された細孔が形成されていない領域の絶縁性膜上にゲート絶縁層が設けられていることを特徴とする請求項1ないし3の何れかに記載の電子源アレイ。

【請求項5】絶縁性基板上に形成されている前記カソード電極と細孔を有する前記絶縁性膜に充填された前記電子放出部との間に、カソード電極表面からバラスト抵抗層、導電層の順で構成されており、前記導電層がカーボンナノチューブの形成において触媒作用を有する材料、あるいはそれらを主成分とする混合物で構成されていることを特徴とする請求項1ないし4の何れかに記載の電子源アレイ。

【請求項6】絶縁性基板上に形成されている前記カソード電極と細孔を有する前記絶縁性膜に充填された前記電子放出部との間に、カソード電極表面からバラスト抵抗層、導電層の順で構成されており、前記導電層がメッキ法においてシード層として機能する材料により構成されていることを特徴とする請求項1ないし4の何れかに記載の電子源アレイ。

【請求項7】前記バラスト抵抗層上に形成された金属膜からなる前駆体に細孔を形成し、かつ絶縁性膜に変換する陽極酸化工程において、

上記導電層に、前記陽極酸化工程より前記カソード電極及び前記バラスト抵抗層を保護する機能と、前記前駆体を完全に絶縁性膜に変換するためのストッパー層としての機能とを持たせた請求項5または6に記載の電子源アレイ。

【請求項8】絶縁性基板上に形成されている前記カソード電極と細孔を有する前記絶縁性膜に充填された前記電子放出部との間に、バラスト抵抗層が挿入されていることを特徴とする請求項1ないし4の何れかに記載の電子

源アレイ。

【請求項9】前記バラスト抵抗層上に形成された金属膜からなる前駆体に細孔を形成し、かつ絶縁性膜に変換する陽極酸化工程において、

上記バラスト抵抗層に、前記陽極酸化工程より前記カソード電極を保護する機能と、前記前駆体を完全に絶縁性膜に変換するためのストッパー層としての機能とを持たせることを特徴とする請求項8に記載の電子源アレイ。

【請求項10】絶縁性基板上にライン状に配置されたカソード電極と、絶縁性膜を挟んで前記カソード電極に対向配置されたゲート電極とを具備する電子源アレイであって、

前記ゲート電極は、前記カソード電極上に平面状に展開する電子放出領域を取り囲むよう配置され、且つ、前記電子放出領域内には、前記カソード電極上に複数個に分離分割された電子放出部が形成され、該電子放出部は、微小な大きさの電子放出材料を主成分とする集合体より構成されていることを特徴とする電子源アレイ。

【請求項11】絶縁性基板上に形成されている前記カソード電極と前記電子放出部との間に、バラスト抵抗層が挿入されていることを特徴とする請求項10に記載の電子源アレイ。

【請求項12】絶縁性基板上にカソード電極をバーニング形成する工程と、前記カソード電極及び前記絶縁性基板上に絶縁膜をバーニング形成する工程と、前記バラスト抵抗層をバーニング形成する工程と、前記バラスト抵抗層上に導電層をバーニング形成する工程と、ゲート絶縁膜をバーニング形成する工程と、前記導電層上に前記細孔を有する絶縁性膜となる前駆体をバーニング形成する工程と、前記前駆体に細孔を形成しつつ絶縁性膜に変換する工程と、更に絶縁性膜をバーン形成する工程と、細孔に電子放出材料を充填する工程と、第1のゲート電極をバーン形成する工程と、第2のゲート電極をバーン形成する工程とを含むことを特徴とする電子源アレイの製造方法。

【請求項13】絶縁性基板上にカソード電極をバーニング形成する工程と、バラスト抵抗層をバーニング形成する工程と、前記バラスト抵抗層上に細孔を有する絶縁性膜となる前駆体をバーニング形成する工程と、前記前駆体に細孔を形成しつつ絶縁性膜に変換する工程と、前記細孔に電子放出材料を充填する工程と、ゲート電極をバーン形成する工程と、ゲート絶縁膜をバーニング形成する工程とを含むことを特徴とする電子源アレイの製造方法。

【請求項14】上記細孔を有する絶縁性膜となる前駆体をバーニング形成する工程後、前記前駆体に細孔を形成する工程において、カソード電極を電極とした陽極酸化法を用いることを特徴とする請求項12または13に記載の電子源アレイの製造方法。

【請求項15】請求項10または11に記載の電子源ア

レイの電子放出部は、微小電子放出材料を分散媒に分散させた分散溶液を、バターニングされたマスクを用いて印刷法により電子放出領域内で分離分割形成することを特徴とする電子源アレイの製造方法。

【請求項16】請求項10または11に記載の電子源アレイの電子放出部は、微小電子放出材料を分散媒に分散させた分散溶液を、微小なノズルより吐出することにより電子放出領域内で分離分割形成することを特徴とする電子源アレイの製造方法。

【請求項17】請求項1ないし11の何れかに記載の電子源アレイの駆動方法であって、

アノード電極に印加する電圧を V_A 、ゲート電極に印加する電圧を V_G 、電子放出部から前記アノード電極までの距離を d_A 、前記電子放出部から前記ゲート電極までの距離を d_G としたときに、前記電子放出部より放出された電子を $V_A/d_A > V_G/d_G$ の領域で制御することを特徴とする電子源アレイの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子源に関するものであって、特に、ディスプレイ、蛍光表示管、ランプ、電子銃等に用いられ、X-Yマトリクス駆動可能な電子源アレイ及びその製造方法並びに電子源アレイの駆動方法に関するものである。

【0002】

【従来の技術】近年、フィールドエミッションディスプレイ(FED)は自発光型フラットパネルディスプレイへの応用が期待され、電界放出型電子源の研究、開発が盛んに行われている。FEDに用いる電子源としては、図35に示すようなC. A. Spindtらのピラミッド型の金属電子源(USP3, 665, 241)が良く知られている。

【0003】上記電子源は、図35に示すように、基板112上にカソード電極113、ゲート絶縁層114、ゲート電極層115が順次積層され、ゲート絶縁層114に設けられたカソード電極113への貫通孔114a内に、該カソード電極113と電気的に接続された円錐状の金属エミッタ(電子源)116が形成された構造となっている。

【0004】ところが、上記電子源では、電子源である円錐状の金属エミッタ116が高融点金属材料で形成されているものの、該電子源(金属エミッタ116)の先端径制御、均一性制御、更には信頼性の点で大きな問題があった。

【0005】また、1991年、飯島らによりカーボンナノチューブが発見された(Nature, 354, 56, 1991)。このカーボンナノチューブは、円筒状に巻いたグラファイト層が入れ子状になったもので、その先端径が約10nm程度であり、耐酸化性、耐イオン衝撃性が強い点で電子源としては、常に優れた特徴を有

する材料と考えられている。

【0006】実際、カーボンナノチューブからの電界放出実験が、1995年にR. E. Smalleyら(Science, 269, 1550, 1995)とW. A. de Heerら(Science, 270, 1179, 1995)の研究グループから報告されている。このような電界放出実験においては、金属電極上にカーボンナノチューブをキャスト膜として配置し、引き出し電極として金属板のメッシュを用い、対向電極であるアノードに電子を集めている。

【0007】このようなカーボンナノチューブを用いた電子源としては、例えば、特開平11-162383号公報に開示されているように、ペースト状のカーボンナノチューブを印刷法により基板上に形成し、平面ディスプレイを製造する技術が開示されている。

【0008】上記電子源は、図36に示すように、基板112上に金属電極としてのカソード電極113が形成され、このカソード電極113上にコンタクトホール120を有する絶縁層121が形成され、該絶縁層121上には、上記コンタクトホール120を避けてリブ122がライン状に形成され、このリブ122上にゲート電極層115が形成され、さらに、上記絶縁層121のコンタクトホール120の形成された領域上にカーボンナノチューブ膜123がペースト膜として形成されると共に、上記ゲート電極層115に対向するアノード電極124が空間を介して配置された構造となっている。

【0009】一方、特開平10-12124号公報には、図37に示すように、ガラスからなる基板112上に、アルミニウム層117を介し、アルミナ層118を有する構造となっており、アルミナ層118には、アルミニウム層117まで到達する細孔が設けられている電子源が開示されている。前記アルミナ層118に形成された各々の細孔には、金属触媒起点として成長したカーボンナノチューブ119が存在し、該カーボンナノチューブ119にはアルミニウム層117を通じて電力が供給され、電子源として機能する。

【0010】したがって、従来より、電子源において、金属の細孔中にカーボンナノチューブを選択的に成長させ、カーボンナノチューブを規則正しく配列することで電流強度の時間的安定性を改良することが知られている。

【0011】

【発明が解決しようとする課題】しかしながら、従来のカーボンナノチューブを用いた電子源は、特開平11-162383号公報(図36)のように、金属電極であるカソード電極113上に平面状にペースト膜を形成しただけでは、ペースト膜面内に多数存在する電子放出点を制御することは不可能であり、電子はペースト膜上からランダムに放出される。このため、ディスプレイを構成する各画素間での均一性を確保することが困難とな

り、デバイス化において大きな障害となっている。

【0012】また、特開平10-12124号公報(図37)のように、金属の細孔中にカーボンナノチューブを選択的に成長させることで電子放出部の分割は可能となるが、その為に陽極酸化膜及び酸化前躯体である金属を支持基板まで除去することで、電子源を分離しなければならず、ディスプレイに必要なX-Yマトリクス駆動が困難であった。また、このプロセス温度も1000℃に達するため、未酸化部分の金属、特にアルミニウムなどの融点の低い金属が残存していると、この工程は適用できなかった。

【0013】本発明は、かかる問題点を解決するためになされたものであり、ディスプレイを実現する上で必要不可欠であるX-Yマトリクス駆動が可能な電子源アレイを得ることを目的とし、更にプロセス上も、実用に耐え得る構造及び製造方法を提供すると共に、電子源アレイの駆動方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本願発明の第1の電子源アレイは、上記目的を達成するために、絶縁性基板上にライン状に配置されたカソード電極と、絶縁性膜を挟んで対向配置されたゲート電極とを具備する電子源アレイであって、前記カソード電極と前記ゲート電極の交差部分に、絶縁性膜中に貫通して形成された細孔を具備し、該細孔中に導電性材料または半導体材料が充填され、かつ該材料が前記カソード電極と電気的に接続されており、前記ゲート電極とは空間を隔てて形成されていることを特徴とする。

【0015】このように、カソード電極に直交するようゲート電極を配設することにより、ディスプレイを実現する上で必要不可欠であるX-Yマトリクス駆動が可能な構造とができる。

【0016】好ましくは、電子放出部を形成する前記細孔を有する絶縁性膜が島状に配置されていることを特徴とする。すなわち、電子放出部を形成する細孔を有する絶縁性膜を島状に分割配置し、一つ当たりの面積を小さくすることにより、プロセス中などで生じる、基板、カソード電極、ゲート電極からの熱歪を緩和することができる。

【0017】この場合、X-Yマトリクス駆動が可能な構造では、前記カソード電極と前記ゲート電極の交差する領域を単位要素として分割配置しても構わないし、交差領域内を複数の島状に分割配置しても構わない。また、セグメント駆動を行なう場合は、カソード電極とゲート電極の交差する領域内で、電子放出部を形成する前記細孔を有する絶縁性膜を複数分割配置することにより、電子放出領域の大きさに制限されずに電子源アレイを形成できる。これらの分割するサイズは、基板の大きさ、構成材、プロセス温度等を考慮して適宜選択すればよい。

【0018】また、前記ゲート電極が、電子放出材料が充填された絶縁性膜内の少なくとも1つの細孔を取り囲むように形成することを特徴とし、この構成により、電子放出部とゲート電極の距離を近接化し、低電圧で動作可能な電子源アレイとすることができます。さらに、前記ゲート電極が細孔を取り囲むように形成されている第1のゲート電極層と、細孔が形成されていない領域に形成されている第2のゲート電極層により構成することにより、特に電子放出材料が充填された細孔の1つ1つを取り囲む形でゲート電極を配設する構造において、ゲート電極膜厚を厚くすることが出来ないことにより生じる、膜厚抵抗増加による電圧降下や、信号遅延の問題を別途電源供給ラインを設けることで解決できる。

【0019】また、前記絶縁性膜とゲート電極との間であって、電子放出部となる導電性材料あるいは半導体材料が充填された細孔が形成されていない領域の絶縁性膜上にゲート絶縁層が設けられていることを特徴とする。このように構成することにより、電子放出部を形成する際に、所望の位置の細孔内にのみ電子放出材料を充填する工程で、不要部分に電子放出材料が充填されることを防ぐ事ができる。

【0020】また、絶縁性基板上に形成されている前記カソード電極と細孔を有する前記絶縁性膜に充填された前記電子放出部との間に、カソード電極表面からバラスト抵抗層、導電層の順で構成されており、前記導電層がカーボンナノチューブの形成において触媒作用を有する材料、あるいはそれらを主成分とする混合物で構成されていることを特徴とする。好ましくは、前記導電層が鉄、ニッケル、コバルト等の鉄族金属、白金、パラジウム、ルテニウム、ロジウム等の白金族金属、イットリウム、ランタン、セリウム等の希土類金属のうちいずれかの金属で構成されている金属層、あるいはこれらの金属を主成分とする合金層で構成されていることを特徴とする。

【0021】細孔中に充填する材料がカーボンナノチューブである場合、導電層を鉄等の触媒作用を有する遷移金属等で形成することにより、形成温度の低温化、カーボンナノチューブの構造欠陥の減少、必要とする部分への選択成長を行わせることが可能となり、具体的に、触媒作用を有する材料として、上記材料を用いることができる。

【0022】たとえば、特開平10-12124号公報に記載のような、細孔貫通後に触媒材料を充填し、カーボンナノチューブを成長させる方法ではなく、本願のように、下地電極層にあらかじめ触媒材料を混入することにより、細孔形成後の触媒材料の充填を省くことが可能となる。この引例との差異は、プロセス上は初期に触媒材を設けておくか、後から触媒を入れるかの差となるが、本願による電子源アレイでは、成膜、パターニングという一般的な手法で形成可能なため、歩留まりの面で

有利である。また、特開平10-12124号公報記載のアルミニウム単層での電子源形成では、アルミニウムのバーニングが電子源の形成領域を決めるが、本願のように細孔を形成するアルミニウム層と陽極酸化用の電極層を分離形成することにより、任意の領域に電子源アレイが形成できる。

【0023】また、基板表面に形成されている前記カソード電極と細孔を有する前記絶縁性膜に充填された前記電子放出部との間に、カソード電極表面からバラスト抵抗層、導電層の順で構成されており、前記導電層がメッキ法においてシード層として機能する材料により構成されていることを特徴とする。好ましくは、前記導電層が、ニッケル、鉄、コバルト、ロジウム、クロム、白金、銅、金、銀などの金属層もしくはニッケル、鉄、コバルト、ロジウム、クロム、白金、銅、金、銀などの金属を主成分とする合金材料のうち、選択された少なくとも1つの材料により構成されていることを特徴とする。

【0024】また、細孔中に充填される材料は、カーボンナノチューブ、若しくは、ニッケル、鉄、コバルト、ロジウム、クロム、白金、銅、金、銀などの金属、若しくはポロンナイトライド、シリコン等の半導体材料等より、適宜選択して用いることが可能である。細孔中に充填する材料がカーボンナノチューブである場合、カソード電極層を鉄等の触媒作用を有する遷移金属等で形成することにより、形成温度の低温化、カーボンナノチューブの構造欠陥の減少、必要とする部分への選択成長を行わせることができる。

【0025】電子源アレイの製造方法において、絶縁性基板表面にカソード電極をバーニング形成する工程と、前記カソード電極及び前記絶縁性基板上に絶縁膜をバーニング形成する工程と、前記バラスト抵抗層をバーニング形成する工程と、前記バラスト抵抗層上に導電層をバーニング形成する工程と、ゲート絶縁膜をバーニング形成する工程と、前記導電層上に前記細孔を有する絶縁性膜となる前駆体をバーニング形成する工程と、前記前駆体に細孔を形成しつつ絶縁性膜に変換する工程と、絶縁性膜をバーニング形成する工程と、細孔に電子放出材料を充填する工程と、ゲート電極をバーニング形成する工程とを含み、更に、ゲート電極のバーニング形成工程が第1のゲート電極をバーニング形成する工程と、第2のゲート電極をバーニング形成する工程である場合も含むことを特徴とする。

【0026】更に、前記製造工程のうち、細孔を有する絶縁性膜となる前駆体をバーニング形成する工程後、前記前駆体に細孔を形成する工程において、カソード電極を電極として陽極酸化法を用いることを特徴とする。すなわち、前記細孔を有する絶縁性膜を形成する方法が、陽極酸化法であり、陽極酸化により形成されたバリア層を除去し、細孔を貫通させる方法が、陽極酸化と逆の電圧を印加することによりバリア層を溶解する方法であることを特徴とする。

あることを特徴とする。このとき、前記導電層に、陽極酸化溶液に対して耐性のある白金、金等の材料を使用することで、前記カソード電極を保護し、更には前記前駆体を完全に絶縁性膜に変換し、細孔を貫通させるためのストッパー層として用いることが出来る。

【0027】また、前記絶縁性膜の細孔中に電子放出材料としてカーボンナノチューブを充填する方法としては、熱、あるいは電磁波（マイクロ波、光等）により、原材料ガスを分解、励起するCVD法等により適宜選択して用いることが出来き、電子放出材料として金属を充填する方法は、メッキ法等を用いることが出来る。

【0028】本願発明の第2の電子源アレイは、上記目的を達成するために、絶縁性基板上に形成されているカソード電極と細孔を有する絶縁性膜に充填された電子放出部との間に、バラスト抵抗層が挿入されていることを特徴とする。

【0029】本構造においては、細孔中に規則正しく電子放出部が基板に垂直配向して形成されており、且つ、それぞれの電子放出部は細孔により電気的に絶縁されているので、このようにバラスト抵抗層（放出電流制限用の抵抗層）を配置することにより、一つ一つの電子放出部に並列にバラスト抵抗層を挿入できるので、電子源アレイの動作を安定化、均一化できる。

【0030】電子源アレイの製造方法において、基板表面にカソード電極をバーニング形成する工程と、バラスト抵抗層をバーニング形成する工程と、前記バラスト抵抗層上に細孔を有する絶縁性膜となる前駆体をバーニング形成する工程と、前記前駆体に細孔を形成しつつ絶縁性膜に変換する工程と、前記細孔に電子放出材料を充填する工程と、ゲート電極をバーニング形成する工程と、ゲート絶縁膜をバーニング形成する工程とを含み、更に、ゲート電極のバーニング形成工程が第1のゲート電極をバーニング形成する工程と、第2のゲート電極をバーニング形成する工程である場合も含むことを特徴とする。

【0031】更に、前記製造工程のうち、細孔を有する絶縁性膜となる前駆体をバーニング形成する工程後、前記前駆体に細孔を形成する工程において、カソード電極を電極として陽極酸化法を用いることを特徴とする。

【0032】すなわち、前記細孔を有する絶縁性膜を形成する方法が、陽極酸化法であり、陽極酸化により形成されたバリア層を除去し、細孔を貫通させる方法が、陽極酸化と逆の電圧を印加することによりバリア層を溶解する方法であることを特徴とする。

【0033】このとき、前記バラスト抵抗層に、陽極酸化用溶剤に対して耐性のあるシリコン、炭化シリコン等の材料を使用することで、前記カソード電極を保護し、更には前記前駆体を完全に絶縁性膜に変換し、細孔を貫通させるためのストッパー層として用いることが出来る。

【0034】本願発明の第3の電子源アレイは、上記目的を達成するために、絶縁性基板上にライン状に配置されたカソード電極と、絶縁性膜を挟んで対向配置されたゲート電極とを具備する電子源アレイであって、前記ゲート電極は、前記カソード電極上に平面状に展開する電子放出領域を取り囲むよう配置され、且つ、前記電子放出領域内には、前記カソード電極上に複数個に分離分割された電子放出部が形成され、該電子放出部は、微小な大きさの電子放出材料を主成分とする集合体より構成されていることを特徴としている。

【0035】すなわち、上記電子放出部が微小な大きさの電子放出材料（例えば、カーボンナノチューブ、カーボンファイバー、黒鉛、ダイヤモンド、ダイヤモンドライカーボン等の炭素系材料）を主成分とする集合体より構成されている場合において、ゲート電極に取り囲まれたカソード電極上に形成されている電子放出部が、電子放出領域内に複数に分離分割形成されていることを特徴とする。

【0036】このように前記電子放出部が微小な大きさの電子放出材料の集合体より構成されており、前記カソード電極上に形成されている前記電子放出部が膜状に展開している場合には、細孔中に規則正しく電子放出部が形成されている場合と異なり、電子放出点の制御は困難であり電子放出は膜面内でランダムに生じる。前記電子放出部を電子放出領域内に複数に分離分割することで電子放出点が分散され、電子源アレイの動作を安定化、均一化できる。

【0037】更には、前記カソード電極と電子放出領域内で複数に分離分割された前記電子放出部との間にバラスト抵抗層を挿入することを特徴とする。

【0038】このように、バラスト抵抗層を配置することにより、一つ一つの電子放出部に並列にバラスト抵抗層が挿入されるため、電子源アレイの動作をより安定化、均一化できる。

【0039】電子源アレイの製造方法において、基板表面にカソード電極をバターニング形成する工程と、バラスト抵抗層をバターニング形成する工程と、前記バラスト抵抗層上に電子放出材料をバターニング形成する工程と、ゲート電極をバターニング形成する工程と、ゲート絶縁膜をバターニング形成する工程とを含むことを特徴とする。

【0040】また、カソード電極上に平面状に展開する電子放出領域内に複数に分離分割された前記電子放出部を形成する製造方法において、電子放出部がカーボンナノチューブ、カーボンファイバー、黒鉛、ダイヤモンド、ダイヤモンドライカーボン等の微小な大きさの電子放出材料を主成分とする集合体で構成される場合、カソード電極上に平面状に展開する電子放出領域内に複数に分離分割された前記電子放出部を形成する方法が、前記電子放出部を構成する微小電子放出材料を分散媒に分

散させた分散溶液を、バターニングされたマスクを用いて印刷法により分離分割形成する、あるいは前記分散溶液を微小なノズルより吐出することにより分離分割形成することを特徴とする。

【0041】前記電子放出部は、微小な大きさの電子放出材料を主成分とする集合体であるので、分散媒に分散させることによりペーストとして扱うことが出来る。このため前記カソード電極及びゲート電極、ゲート絶縁膜等のその他構成要素もペーストを用いることが出来、これにより安価な印刷法やインクジェット法等が適用できるため、低コストで、大面積に電子源アレイを形成することができる。

【0042】また、電子源アレイでの放出電子の制御方法において、アノード電極に印加する電圧を V_A 、ゲート電極に印加する電圧を V_G 、電子放出部から前記アノード電極までの距離を d_A 、前記電子放出部から前記ゲート電極までの距離を d_G としたときに、前記電子放出部より放出された電子を $V_A / d_A > V_G / d_G$ の領域で制御することを特徴とする。これはすなわち、電子放出現象を支配する要因がアノード電圧であることを意味している。

【0043】本発明における電子源アレイの構成では、金属により形成されている円錐状の Spin-dt 型金属電子源とは異なり、エミッタは平面状に配置されている。このため本発明での構成でゲート電圧により電子を引き出す場合、ゲート電極とエミッタ表面との距離に電界強度は大きく依存し、エミッタ表面で均一な電界を与えることが出来ない。

【0044】これに対して、アノード電圧で引き出す場合、一般的なディスプレイではエミッタが形成されている基板とアノード電極が形成されている基板は、平行平板構成で対向配置されているので、アノード電極が作る等電位面は、エミッタ面では基板に平行になり、ゲート電極が電子放出領域の外周を取り囲むように形成されている場合でも、エミッタ表面で均一な電界を得ることが出来る。

【0045】更には、ゲート電極を電子放出領域の上部にメッシュ状に配置した場合でも、エミッタ表面からアノード電極に向かう電気力線は、ゲート電極に直接入ることが無ないので、ゲート電極に吸収される電子を低減でき、放出電子効率を改善できる。

【0046】このような駆動が可能であるのは、カーボンナノチューブ、ダイヤモンド、カーボンファイバー等の炭素系材料であり、本発明においては、このような材料を電子放出材料として用いることでより特性の優れた電子源アレイを作製することが出来る。

【0047】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態について説明すれば、以下の通りである。

【0048】なお、本実施の形態では、本発明の電子源

アレイをX-Yマトリクス駆動が可能なディスプレイ用電子源アレイに適用した構造を説明する。本発明の斜視図を図1(a)に示し、図1(a)に記載の線分x-yでの断面図を図1(b)に示す。

【0049】電子放出領域は、直交するカソード電極配線2とゲート電極配線7の交わる部分に形成されており、X-Yマトリクス駆動できるように配置された電子放出部8を有している。また、この電子放出部8は、各々がカソード電極配線2とゲート電極配線7のクロス部分に、独立に配設された絶縁性膜4中の細孔5内に電子放出材料を充填することにより形成された複数のエミッタ6で構成されている。

【0050】電子源に電子を供給するカソード電極配線2は、基板1よりカソード電極層2a、バラスト抵抗層2b、電子放出部8と接触する導電層2cより構成される。

【0051】前記エミッタ6がカーボンナノチューブにより構成される場合、前記導電層2cは、カーボンナノチューブの形成において触媒作用を有する材料、あるいはそれらを主成分とする混合物で構成されることが好ましく、鉄、ニッケル、コバルト等の鉄族金属、白金、パラジウム、ルテニウム、ロジウム等の白金族金属、イットリウム、ランタン、セリウム等の希土類金属のうちいずれかの金属で構成されている金属層、あるいはこれらの金属を主成分とする合金層等から適宜選択して用いられ、触媒効果によるプロセス温度の低温化、選択成長などの効果を発する。

【0052】また、前記エミッタ6がメッキ法で形成される金属である場合、前記導電層2cはメッキ材の成長を促進するシード層の役割を果たすよう、電子放出材料に合わせて、ニッケル、鉄、コバルト、ロジウム、クロム、白金、銅、金、銀などの金属層もしくはニッケル、鉄、コバルト、ロジウム、クロム、白金、銅、金、銀などの金属を主成分とする合金材料等により適宜選択して用いられる。

【0053】細孔5を有する絶縁性膜4上部には、電子引き出し電極であるゲート電極配線7が形成されており、電子源として機能する。ゲート電極配線7においては、その作製法により膜厚が限定される場合があり、膜厚が薄い場合はゲート配線抵抗が大きくなり、消費電力増大、抵抗のための電圧降下による電子放出位置での印加電圧のバラツキ、信号遅延などを生じる。それらを回避するため、ゲート配線抵抗を低減する目的で、第1のゲート電極層7aの他に、ゲート補助配線として、該第1のゲート電極層7aに平行して第2のゲート電極層7bを設けることが好ましい。

【0054】次に、電子放出部8を形成するための細孔5を有する絶縁性膜4について、本発明の特徴を説明する。この細孔5を有する絶縁性膜4は、基板1上に形成された該絶縁性膜4の前駆体4aである金属膜を陽極酸

化処理することにより得られるのが、代表的作製方法である。細孔5の直径は酸化条件にもよるが、10~100nm程度で均一性良く形成が可能であるため、現在半導体デバイスプロセスで用いられている高精度なパターン形成技術を用いずに、より簡単に微細な構造を形成することが出来る。

【0055】更に、本発明では、細孔5を有する絶縁性膜4の前駆体4aである金属膜とは別にカソード電極配線2を電極として陽極酸化を行う。この方法により、前駆体4aである金属膜を完全に酸化できる。特に、カーボンナノチューブを熱CVD等を使用して細孔5中に充填する場合、処理温度は1000°C以上にもなるため、陽極酸化材料として一般的に用いられているアルミニウムは処理温度が融点以上となり、未酸化部分がある場合使用できない。

【0056】また、細孔中に充填される材料は、カーボンナノチューブ、若しくは、ニッケル、鉄、コバルト、ロジウム、クロム、白金、銅、金、銀などの金属、若しくはポロンナイトライド、シリコン等の半導体材料等より、適宜選択して用いることが可能である。細孔5中に充填する材料がカーボンナノチューブである場合、カソード電極層を鉄等の触媒作用を有する遷移金属等で形成することにより、形成温度の低温化、カーボンナノチューブの構造欠陥の減少、必要とする部分への選択成長を行わせることができる。

【0057】また、前駆体4aの金属膜が基板上に小面積で分割、パターン形成されているため、前述の熱CVDを用いる高温プロセスであっても、基板や配線間に生じる熱膨張による歪を低減でき、広範囲の温度に対応することが可能となる。このようにして、本発明では現在主流となっているSpin-dt型金属電子源に比べ、高精度なパターン技術を用いること無く均一な微細電子源を形成し、その密度を2桁以上高めることにより電子放出特性の安定性、再現性を向上させた。

【0058】上記電子源アレイの製造方法の概略を図2及び図3を用いて説明する。本例では電子放出材料として、電子放出特性に優れるカーボンナノチューブを使用している。

【0059】まず、表面が絶縁性である基板1上にカソード電極層2a、バラスト抵抗層2b、導電層2cとして鉄合金層を積層形成し、ライン状にバーニングする(図2)。

【0060】以下、図2に示す線分x-yでの断面図である図3を用いて説明する。図2に示す積層工程の後、ゲート絶縁層3を形成し、電子放出部8となるカソード電極配線2上のゲート絶縁層3を除去する(図3(a))。除去した部分にスパッタあるいは電子ビーム蒸着法により前駆体4aとしてのアルミニウムを埋め込む(図3(b))。絶縁層上に堆積したアルミニウムはCMPあるいはリフトオフ法により取り除く。これによ

り陽極酸化前の前駆体4aの形成は終了する。

【0061】この後、硫酸溶液中で陽極酸化を行い、前駆体4aであるアルミニウムを酸化すると共に、アルミニナ中に細孔5を形成する。このとき酸化膜の電極界面にはバリア層が形成されているため、細孔5は電極まで貫通していない。そこで細孔5のバリア層を除去するため、酸化等とは逆方向に電圧を印加し、バリア層のみを除去する(図3(c))。

【0062】前記導電層2cが白金等のように陽極酸化溶液に耐性がある材料を使用することで、前記カソード電極2aを保護し、更には前記前駆体4aを完全に絶縁性膜に変換し、細孔5を導電層2cまで貫通させるためのストッパー層として用いることが出来る。これに対して、前記導電層2cが鉄等のように陽極酸化溶液に活性である材料を使用するときは、バリア層をドライエッキング法等により除去することが望ましい。この場合、前記導電層2cは、ドライエッキング用のストッパー層として用いることができる。

【0063】細孔5形成後は、プラズマCVD中でカーボンナノチューブの原料となるエチレンと水素を流し、細孔5中にカーボンナノチューブを形成するが、カーボンナノチューブ先端がアルミニナ表面より僅かに低い位置で、成長を終了する(図3(d))。これはこの後形成する第1のゲート電極層7aとカーボンナノチューブが接触しないようにするためにある。この後、第1のゲート電極層7aを斜め蒸着法により、各細孔5を取り囲むように形成し(図3(e))、更に抵抗低減用の第2のゲート電極層7bを形成、バーニングし、電子源アレイの作製は終了する(図3(f))。また、カーボンナノチューブ先端をアルミニナ表面より高い位置まで成長させても、酸素によるプラズマエッキングにより、選択的に突出したカーボンナノチューブのみ除去することは可能である。

【0064】以下に、本実施の形態で説明した電子源アレイの構造および製造方法についての実施例を示す。

【0065】(実施例1) 本発明に係る第1の実施例を、工程図として図4(a)、(b)に示すように、シリカーアルミニナからなる基板1上にカソード電極層2aとして0.4μmのモリブデン膜、バラスト抵抗層2bとして0.5μmのアモルファスシリコン膜、導電層2cとして0.1μmの鉄及びニッケルを主成分とする合金層を順次積層形成した。この時の各配線幅は100μm、ピッチは200μmとし、5ライン形成した(図4(b)は図4(a)での線分x-yでの断面図)。

【0066】次に、図5(a)、(b)に示すように、ゲート絶縁層3としてSiO₂膜を3μm堆積後、電子放出部8となる部分のSiO₂を、レジストマスクを用いてRIEにより除去した(図5(b)は図5(a)での線分x-yでの断面図)。この時、ゲート絶縁層3に

形成した窓の大きさは50μm角であり、窓の数を5×5の合計25個とした。窓のピッチはカソード電極配線2と同様に200μmである。

【0067】次に、図5(a)での線分x-yでの断面図である図6を用いて、製造方法を説明する。除去した部分にスパッタリング法で前駆体4aとなるアルミニウムを3μm堆積した後、CMPによりゲート絶縁層3上に堆積したアルミニウムを除去すると共に、アルミニウムの埋め込みを行った(図6(a))。この後、シュウ酸溶液中で陽極酸化を行い、アルミニウムを酸化すると共に、絶縁性膜4であるアルミニナ中に細孔5を形成する。このとき酸化膜の電極界面にはバリア層が形成されているため、細孔5は電極まで貫通していない。

【0068】そこで、細孔5中のバリア層を除去するため、ドライエッキング法を用いて、バリア層のみ除去する(図6(b))。形成した細孔5は、直径60nm、ピッチ100nmであった。細孔5形成後は、プラズマCVD中でカーボンナノチューブの原料となるエチレンと水素ガスを流しながら、細孔5中にエミッタ6となるカーボンナノチューブを形成した。カーボンナノチューブの先端がアルミニナ表面より僅かに低い位置(約60nm程度)で、成長を終了した(図6(c))。

【0069】この後、第1のゲート電極層7aとなるモリブデンを斜め蒸着法により基板面に対して30度の角度で20nm堆積し、各細孔5を取り囲むように形成した(図6(d))。更に抵抗低減用の第2のゲート電極層7bとしてアルミニウム層を1μm形成、バーニングし、電子源アレイの作製は終了する(図6(e))。

【0070】以上のように作製した電子源アレイの上方1mmに蛍光板を配置し、アノード電圧として5kV印加し、ゲート電圧を-2~4Vの範囲で変化させエミッション電流を確認した。アノード電流は1画素当たり最大で5μA得られ、またアドレスした画素数に比例してアノード電流が変化することを確認した。

【0071】(実施例2) 本発明に係る第2の実施例を、工程図として図7~9を用いて、具体的に説明する。まず、図7(a)、(b)に示すように、シリカーアルミニナからなる基板1上にカソード電極層2aとして0.4μmのモリブデン膜、バラスト抵抗層2bとして0.5μmのアモルファスシリコン膜、導電層2cとして0.1μmの鉄及びニッケルを主成分とする合金層を順次積層形成した。この時の各配線幅は100μm、ピッチは200μmとし、5ライン形成した(図7(b)は図7(a)での線分x-yでの断面図)。

【0072】次に、図8(a)、(b)に示すように、ゲート絶縁層3としてSiO₂膜を3μm堆積後、電子放出部8となる部分のSiO₂を、レジストマスクを用いてRIEにより除去した(図8(b)は図8(a)での線分x-yでの断面図)。ここまで、第1の実施例と同様であるが、ゲート絶縁層3に形成した窓は3μm

の円形とした。個数、ピッチはそれぞれ、 5×5 の合計25個、 $200 \mu\text{m}$ ピッチであり前記第1の実施例と同様である。

【0073】以下、図8(a)での縁分x-yでの断面図である図9を用いて、製造方法を説明する。除去した部分にスパッタリング法で前駆体4aであるアルミニウムを $3 \mu\text{m}$ 堆積した後、CMPによりゲート絶縁層3上に堆積したアルミニウムを除去すると共に、アルミニウムの埋め込みを行った(図9(a))。この後、シュウ酸溶液中で陽極酸化を行い、アルミニウムを酸化すると共に、絶縁性膜4であるアルミナ中に細孔5を形成した後、第1の実施例と同様にバリア層を除去し、細孔5を貫通させた(図9(b))。細孔5形成後は、プラズマCVD中でカーボンナノチューブの原料となるエチレンと水素ガスを流しながら、細孔5中にカーボンナノチューブを形成した。カーボンナノチューブの先端がアルミナ表面に達したところで成長を終了した(図9(c))。

【0074】この後、第2のゲート絶縁層9となる SiO_2 膜を $3 \mu\text{m}$ 、ゲート電極配線7となるモリブデン膜を $0.5 \mu\text{m}$ 堆積した(図9(d))。ゲート電極配線7上にレジストでアルミナ部分より大きい $4 \mu\text{m}$ の円形パターンを形成し、モリブデン膜はRIEで、 SiO_2 膜は弗酸で取り除き、カーボンナノチューブを露出させた。引き続き弗酸でアルミナの一部も除去し、電子源としてのエミッタ6となるカーボンナノチューブを $1 \mu\text{m}$ 程度露出させ、電子源作製を終了した(図9(e))。

【0075】CVDを用いてカーボンナノチューブを触媒金属上に配向、形成する技術がShoushan Fan等により報告されているが(Science, 283, 512, 1999)、この場合はカーボンナノチューブ端が基板に接しているだけなので、付着強度が著しく弱い。カーボンナノチューブは、その径は細いが長さは数ミクロン程度あり、かつ導電性があるので、工程中で基板より剥離すると、ダストとなり工程を汚染する。また、製品中においても剥離すれば電極間をショートさせる可能性があり、実用的ではない。特開平10-12124号公報や本発明のように、カーボンナノチューブを微小な細孔中に形成することで、その接触面はチューブ端のみならず、側面も固定されているので基板への付着強度は大きく、プロセス工程中で剥離することは無く、歩留まりを改善することができる。

【0076】上述のようにして、作製した電子源アレイの上方 1mm に蛍光板を配置し、アノード電圧として 5kV 印加し、ゲート電圧を $-5 \sim 10 \text{V}$ の範囲で変化させエミッション電流を確認した。アノード電流は1画素当たり最大で $1 \mu\text{A}$ 得られ、またアドレスした画素数に比例してアノード電流が変化することを確認した。

【0077】(実施例3) 本発明に係る第3の実施例では、カーボンナノチューブ作製のための高温プロセスを

必要としない構造について説明する。実施例を、工程図として図4~6を用いて、具体的に説明するが、基板1はガラス基板を用いること以外、概ね第1の実施例と同様である。

【0078】図4(a)、(b)に示すように、ガラスからなる基板1上にカソード電極層2aとして $0.4 \mu\text{m}$ のモリブデン膜、バラスト抵抗層2bとして $0.5 \mu\text{m}$ のアモルファスシリコン膜、導電層2cとして $0.1 \mu\text{m}$ の白金膜を順次形成した。以降、エミッタ材を細孔5に充填するまでは、第1の実施例と同じであるが、本実施例においては、陽極酸化溶液として硫酸を用いており、細孔中のバリア層を除去するため、酸化時とは逆方向に電圧を印加し、バリア層のみ除去した。細孔5形成後は、カーボンナノチューブを形成するのではなく、浴槽中で白金を細孔5中に電界を加えながら析出させた。白金の先端がアルミナ表面より僅かに低い位置(約 30nm 程度)で、成長を終了した(図6(c))。この後のゲート電極配線7の形成、パターニングも第1の実施例と同様の工程を経て、電子源アレイの作製は終了する。

【0079】上述のようにして作製した電子源アレイの上方 1mm に蛍光板を配置し、アノード電圧として 5kV 印加し、ゲート電圧を $0 \sim 10 \text{V}$ の範囲で変化させエミッション電流を確認した。アノード電流は1画素当たり最大で $1 \mu\text{A}$ 得られ、またアドレスした画素数に比例してアノード電流が変化することを確認した。

【0080】(実施例4) 本発明に係る第4の実施例でも、カーボンナノチューブ作製のための高温プロセスを必要としない構造について説明する。実施例を、工程図として図7~9を用いて、具体的に説明するが、基板1はガラス基板を用いること以外、概ね第2の実施例と同様である。

【0081】図7(a)、(b)に示すように、ガラスからなる基板1上にカソード電極層2aとして $0.4 \mu\text{m}$ のモリブデン膜、バラスト抵抗層2bとして $0.5 \mu\text{m}$ のアモルファスシリコン膜、導電層2cとして $0.1 \mu\text{m}$ の白金膜を順次形成した。以降、エミッタ材を細孔5に充填するまでは、概ね第2の実施例と同じであるが、本実施例においては、陽極酸化溶液として硫酸を用いており、細孔中のバリア層を除去するため、酸化時とは逆方向に電圧を印加し、バリア層のみ除去した。細孔5形成後は、浴槽中で白金を細孔5中に電界を加えながら析出させた。白金の先端がアルミナ表面に達したところで成長を終了した(図9(c))。この後の第2のゲート絶縁層9、ゲート電極配線7形成、パターニングも第2の実施例と同様の工程を経て、電子源アレイの作製は終了する。

【0082】以上、作製した電子源アレイの上方 1mm に蛍光板を配置し、アノード電圧として 5kV 印加し、ゲート電圧を $0 \sim 100 \text{V}$ の範囲で変化させエミッショ

ン電流を確認した。アノード電流は1画素当たり最大で1 μ A得られ、またアドレスした画素数に比例してアノード電流が変化することを確認した。

【0083】(実施例5) 本発明に係る第5の実施例を、工程図として図10~16を用いて、具体的に説明する。まず、図10(a)、(b)に示すように、シリカアルミナからなる基板1上にカソード電極層2aとして0.4 μ mのモリブデン膜、バラスト抵抗層2bとして0.5 μ mのアモルファスシリコン膜、導電層2cとして0.1 μ mの鉄及びニッケルを主成分とする合金層、前駆体4aである3 μ mのアルミニウムを順次積層形成した(図10(b)は図10(a)での線分x-yでの断面図)。

【0084】次に、図11(a)、(b)に示すように、硫酸溶液中で陽極酸化を行い、前駆体4aであるアルミニウムを酸化すると共に、絶縁性膜4であるアルミナ中に細孔5を形成した後、第1の実施例と同様にバリア層を除去し、細孔5を貫通させた(図11(b)は図11(a)での線分x-yでの断面図)。この後、図12(a)、(b)に示すように、ライン状のレジストパターンを形成し、絶縁性膜4であるアルミナ、導電層2cである鉄及びニッケルを主成分とする合金層、バラスト抵抗層2bであるアモルファスシリコン膜、カソード電極層2aであるモリブデン膜を順次エッチングし、ライン状に加工した(図12(b)は図12(a)での線分x-yでの断面図)。このときのライン幅は100 μ m、ピッチ200 μ mで5本形成した。

【0085】次に、図13(a)、(b)に示すように、表面にゲート絶縁層3となるSiO₂を0.5 μ m堆積する。この層は余分な細孔中に電子放出材料を充填しないためのマスク層としても機能する。堆積したSiO₂膜に電子放出材料を充填する部分のみ10 μ mピッチで、3 μ m径の円形の窓を1画素につき9個レジストで形成した(図13(b)は図13(a)での線分x-yでの断面図)。電子放出部の窓明け終了後は、図14(a)、(b)に示すように、プラズマCVD中でカーボンナノチューブの原料となるメタンガスと水素ガスを流しながら、細孔5中にカーボンナノチューブを形成した。カーボンナノチューブの先端がアルミナ表面に達したところで成長を終了した(図14(b)は図14(a)での線分x-yでの断面図)。

【0086】この後、図15(a)、(b)に示すように、ゲート電極配線7となるモリブデンを0.5 μ m堆積し、更に電子放出材料を充填した電子放出部8のみ露出したレジストマスクを形成し、モリブデン層をエッチングしてエミッタ6を露出させた。引き続き弗酸でアルミナの一部も除去し、エミッタ6となるカーボンナノチューブを1 μ m程度露出させ、電子源作製を終了した(図15(b)は図15(a)での線分x-yでの断面図)。図16には、電子放出部8の拡大断面図を示す。

作製した電子源アレイは、図15(a)を1画素とし、1画素中に9個の電子放出部を有する構成になっており、作製した画素数は、ピッチが200 μ mで5×5の計25個である。

【0087】上述のようにして作製した電子源アレイの上方1mmに蛍光板を配置し、アノード電圧として5kV印加し、ゲート電圧を-5~10Vの範囲で変化させエミッション電流を確認した。アノード電流は1画素当たり最大で10 μ A得られ、またアドレスした画素数に比例してアノード電流が変化することを確認した。

【0088】(実施例6) 本発明に係る第6の実施例でも、カーボンナノチューブ作製のための高温プロセスを必要としない構造について説明する。実施例を、工程図として図10~16を用いて、具体的に説明するが、基板1はガラス基板を用いること以外、概ね第5の実施例と同様である。

【0089】図10(a)、(b)に示すように、カソード電極層2aとして0.4 μ mのモリブデン膜、バラスト抵抗層2bとして0.5 μ mのアモルファスシリコン膜、導電層2cとして0.1 μ mの銅膜、前駆体4aである3 μ mのアルミニウムを順次積層形成した(図10(b)は図10(a)での線分x-yでの断面図)。

【0090】以下の工程において、エミッタ材を細孔5に充填するまでは、第5の実施例と同じである。図14(a)、(b)に示すように、細孔5形成後は、浴槽中で銅を細孔5中に電界を加えながら析出させた。銅の先端がアルミナ表面に達したところで、成長を終了した(図14(b)は図14(a)での線分x-yでの断面図)。この後のゲート電極配線7の形成、パターニングも第5の実施例と同様の工程を経て、電子源アレイの作製は終了する。

【0091】上述のようにして作製した電子源アレイの上方1mmに蛍光板を配置し、アノード電圧として5kV印加し、ゲート電圧を0~100Vの範囲で変化させエミッション電流を確認した。アノード電流は1画素当たり最大で6 μ A得られ、またアドレスした画素数に比例してアノード電流が変化することを確認した。

【0092】(実施例7) 本発明に係る第7の実施例を、工程図として図17~23を用いて、具体的に説明する。まず、図17(a)、(b)に示すように、シリカアルミナ基板1上にカソード電極層2aとして0.4 μ mのモリブデン膜、バラスト抵抗層2bとして0.5 μ mのアモルファスシリコン膜、導電層2cとして0.1 μ mの鉄及びニッケルを主成分とする合金層、前駆体4aである3 μ mのアルミニウムを順次積層形成した(図17(b)は図17(a)での線分x-yでの断面図)。

【0093】次に、図18(a)、(b)に示すように、硫酸溶液中で陽極酸化を行い、前駆体4aであるアルミニウムを酸化すると共に、絶縁性膜4であるアルミ

ナ中に細孔5を形成した後、第1の実施例と同様にバリア層を除去し、細孔5を貫通させた（図18（b）は図18（a）での線分x-yでの断面図）。

【0094】この後、図19（a）、（b）に示すように、ライン状のレジストパターンを形成し、絶縁性膜4であるアルミナ、導電層2cである鉄及びニッケルを主成分とする合金層、バラスト抵抗層2bであるアモルファスシリコン膜、カソード電極層2aであるモリブデン膜を順次エッチングしライン状に加工した（図19（b）は図19（a）での線分x-yでの断面図）。このときのライン幅は100μm、ピッチが200μmで5本形成した。

【0095】図20（a）、（b）に示すように、表面にゲート絶縁層3となるSiO₂を0.1μm堆積する。この層は余分な細孔中に電子放出材料を充填しないためのマスク層としても機能する。堆積したSiO₂に電子放出材料を充填する部分のみ10μmピッチで、10μm径の円形の窓を1画素につき9個レジストで形成した（図20（b）は図20（a）での線分x-yでの断面図）。

【0096】図21（a）、（b）に示すように、電子放出部の窓明け終了後は、プラズマCVD中でカーボンナノチューブの原料となるメタンガスと水素ガスを流しながら、細孔5中にカーボンナノチューブを形成した。カーボンナノチューブの先端がアルミナ表面より僅かに低い位置（約30nm程度）で、成長を終了した（図21（b）は図21（a）での線分x-yでの断面図）。

【0097】この後、図22（a）、（b）に示すように、第1のゲート電極層7aとなるモリブデンを斜め蒸着法により基板面に対して30度の角度で20nm堆積し、各細孔5を取り囲むように形成し、更に抵抗低減用の第2のゲート電極層7bとしてアルミニウム層を1μm形成、パターニングし、電子源アレイの作製は終了する（図22（b）は図22（a）での線分x-yでの断面図）。図23には、電子放出部8の拡大断面図を示す。作製した電子源アレイは、図22（a）を1画素とし、1画素中に9個の電子放出部を有する構成になっており、作製した画素数は、ピッチが200μmで5×5の計25個である。

【0098】上述のように作製した電子源アレイの上方1mmに蛍光板を配置し、アノード電圧として5kV印加し、ゲート電圧を-2~4Vの範囲で変化させエミッション電流を確認した。アノード電流は1画素当たり最大で10μA得られ、またアドレスした画素数に比例してアノード電流が変化することを確認した。

【0099】（実施例8）本発明に係る第8の実施例を、工程図として図17~24を用いて、具体的に説明する。電子源アレイの構成は第7の実施例と同じにした。図21（a）、（b）に示すように、第7の実施例と同様に電子放出材料として、カーボンナノチューブを

絶縁性膜4の細孔5中に充填する（図21（b）は図21（a）での線分x-yでの断面図）。

【0100】この後、図24（a）、（b）に示すように、ゲート電極配線7を形成する前に、電解メッキでカーボンナノチューブに選択的にニッケルを析出させ、エミッタ6であるカーボンナノチューブ先端にキャップ10を形成する（図24（b）は図24（a）での線分x-yでの断面図で1画素分を拡大）。これはゲート電極配線7を形成した場合に、エミッタ6とゲート電極配線7との間にショートが発生しないよう確実に分離するための工程である。

【0101】この後、図22（a）、（b）に示すように、ゲート電極配線7としての第1のゲート電極層7aを形成後、リフトオフによりニッケルを除去し、ゲート開口部を設け更に第2のゲート電極層7bとしてアルミニウム層を1μm形成、パターニングし、電子源アレイの作製は終了する（図22（b）は図22（a）での線分x-yでの断面図）。

【0102】以上の実施の形態1では、エミッタ6を形成する際に必要な導電層2cをカソード電極配線2に予め積層形成した場合について説明したが、本願はこれに限定されるものではなく、エミッタ6を形成する際に必要な導電層2cをカソード電極配線2に予め積層形成しなくてもよく、この場合の例について以下の実施の形態2で説明する。

【0103】【実施の形態2】本発明の他の実施の形態について説明すれば、以下の通りである。

【0104】なお、本実施の形態では、前記実施の形態1と同様に、細孔中に電子放出材料を充填したX-Yマトリクス駆動が可能なディスプレイ用電子源アレイに適用した構造について説明する。本発明の斜視図を図25（a）に示し、図25（a）に記載の線分x-yでの断面図を図25（b）に示す。

【0105】電子放出領域は、直交するカソード電極配線2とゲート電極配線7の交わる部分に形成されており、X-Yマトリクス駆動できるように配置された電子放出部8を有している。また、この電子放出部8は、各々がカソード電極配線2とゲート電極配線7のクロス部分に、独立に配設された絶縁性膜4中の細孔5内に電子放出材料を充填することにより形成された複数のエミッタ6で構成されている。

【0106】電子源に電子を供給するカソード電極配線2は、基板1上に積層されたカソード電極層2aと、該カソード電極層2a上に積層され、前記電子放出部8と電気的に接続されるバラスト抵抗層2bとで構成される。

【0107】また、エミッタ6は、絶縁性膜4中の細孔5内に各々が電気的に絶縁された状態で形成されており、カソード電極層2aとはバラスト抵抗層2bを介して電気的に結合している。このときの本発明の等価回路

図を図26(a)に、従来構成での等価回路図を図26(b)に示す。

【0108】図26(b)に示す従来構成では、各エミッタ6には材料として有する内部抵抗11しか入っていないため、抵抗による放出電流の制限は受け難く、不均一、不安定を引き起こし易い。

【0109】これに対し、図26(a)に示す本発明の構成では、各エミッタ6は内部抵抗11を有し、パラスト抵抗層2bに直列に接続しており、それらは独立に並列にカソード電極層2aに接続している。カソード電極層2aから電子がエミッタ6に供給されると、パラスト抵抗層2bによりその電流量に比例した電圧降下が生じるため、放出しやすいエミッタ6は電流量に制限がかかり、放出量の均一化、安定化が図れる。また、この効果は、電子放出部8内のみならず、基板1上に形成される全ての電子源において同様に作用するため、電子源アレイの均一性も得ることが出来る。

【0110】なお、図26(a)(b)に示すように、カソード電極層2aとゲート電極配線7とがアノード電極12に接続されているが、このアノード電極12とエミッタ6との関係については、後述する。

【0111】次に、電子放出部8を構成するための細孔5を有する絶縁性膜4について、本発明の特徴を説明する。この細孔5を有する絶縁性膜4は、基板1上に形成された金属膜である前駆体4aを陽極酸化処理することにより得られるのが、代表的作製方法である。細孔5の直径は酸化条件にもよるが、10~100nm程度で均一性良く形成が可能であるため、現在半導体デバイスプロセスで用いられている高精度なパターン形成技術を用いずに、より簡単に微細な構造を形成することが出来る。

【0112】また、前駆体4aの金属膜が基板1上に小面積で分割、パターン形成されているため、前述の熱CVDを用いる高温プロセスであっても、基板1や配線間に生じる熱膨張による歪を低減でき、広範囲の温度に対応することが可能となる。

【0113】このようにして、本発明では現在主流となっているSpin-dt型金属電子源に比べ、高精度なパターン技術を用いること無く均一な微細電子源を形成し、その密度を2桁以上高めることにより電子放出特性の安定性、再現性を向上させている。

【0114】上記電子源アレイの製造方法の概略を、図27(a)~(c)及び図28(a)~(c)を用いて説明する。本例では電子放出材料として、電子放出特性に優れるカーボンナノチューブを使用している。

【0115】まず、表面が絶縁性である基板1上にカソード電極配線2を構成するカソード電極層2a、パラスト抵抗層2bを積層形成し、ライン状にパターンニングし(図27(a))、更にスパッタあるいは電子ビーム蒸着法とフォトリソーエッチング法を用いて前駆体4aで

あるアルミニウムを電子放出部8となる部分にのみ積層する(図27(b)、図27(c))(図27(c)は図27(b)での線分x-yでの断面図)。

【0116】以下、図27(b)に示す線分x-yでの断面図である図28を用いて説明する。図27(a)~(c)に示す積層工程の後、硫酸溶液中で陽極酸化を行い、絶縁性膜4の前駆体4aであるアルミニウムを酸化すると共に、絶縁性膜4であるアルミナ中に細孔5を形成する。このとき、絶縁性膜4の電極界面にはバリア層が形成されているため、細孔5は電極まで貫通していない。そこで、細孔5中のバリア層を除去するため、陽極電圧を徐々に下げながら、バリア層のみ除去する(図28(a))。

【0117】この後メッキ法により、細孔底部にカーボンナノチューブ成長において触媒作用を有する材料(例えば、鉄、ニッケル、コバルト等の鉄族金属や白金、ロジウム等)を形成し、カーボンナノチューブの形成を行う。

【0118】カーボンナノチューブの形成は、カーボンナノチューブの原料となるメタン、エタン、プロパン、エチレン、プロピレン等の炭化水素系のガスを流し、熱CVD法、プラズマCVD法により細孔5中にエミッタ6となるカーボンナノチューブを形成する(図28(b))。

【0119】また、カーボンナノチューブの代わりに前記触媒金属をメッキ法で形成すると同様に、細孔5内に金属を充填することでエミッタ6を形成することも出来る。この後、ゲート絶縁層3、ゲート電極配線7を順次成膜し、更に電子放出部8をフォトリソーエッチング法を用いて露出させ、電子源アレイの作製は終了する(図28(c))。エッチングの際には、エミッタ6であるカーボンナノチューブを絶縁性膜4表面より突出させるためのエッチングも同時に行う。

【0120】以下に、本実施の形態で説明した電子源アレイの構造および製造方法についての実施例を示す。

【0121】(実施例9) 本発明に係る第9の実施例を、工程図として図27(a)~(c)および図28(a)~(c)を用いて、具体的に説明する。

【0122】まず、図27(a)に示すように、シリカーアルミナからなる基板1上にカソード電極配線2のカソード電極層2aとして0.4μmのモリブデン膜、パラスト抵抗層2bとして0.5μmのシリコン膜を順次積層形成した。この時の各配線幅は20μm、ピッチは30μmとし、3ライン形成した。

【0123】次に、図27(b)、(c)(図27(c)は図27(b)での線分x-yでの断面図)に示すように、細孔5を有する絶縁性膜4の前駆体4aであるアルミニウム膜をスパッタ法により3μm堆積した後、フォトリソ工程とエッチングにより電子放出部8となる部分のみに島状に残した。

【0124】以下、図27(b)に示す線分x-yでの断面図である図28(a)～(c)を用いて説明する。この後、硫酸溶液中で陽極酸化を行い、アルミニウムを酸化すると共に、絶縁性膜4であるアルミナ中に細孔5を形成する。バラスト抵抗層2bであるシリコンは、陽極酸化においては下地金属のカソード電極層2aを陽極酸化溶液より保護することと、アルミニウム陽極酸化のストップ層の役割を果している。

【0125】このようにバラスト抵抗層2bは、高抵抗材料であると共に、陽極酸化溶液に対して腐食されない材料が好ましく、同様の材料としてSiC等を用いても構わない。陽極酸化は前述の通り、バラスト抵抗層2bであるシリコン膜に到達すると酸化は終了するが、酸化膜の電極界面にはバリア層が形成されているため、細孔5は電極まで貫通していない。

【0126】そこで、細孔5中のバリア層を除去するため、陽極電圧を徐々に下げながら、バリア層のみ除去した(図28(a))。形成した細孔5は直径30nm、ピッチが40nmであった。この後は、メッキ法により触媒金属であるニッケルを細孔5の底部に形成し、プラズマCVD法でカーボンナノチューブの原料となるメタンガスと希釈用の水素ガスを流しながら、細孔5中にエミッタ6となるカーボンナノチューブを形成した(図28(b))。

【0127】次に、ゲート絶縁層3としてSiO₂膜を5μm、ゲート電極配線7となるモリブデン膜0.4μmを堆積した。この後、まず、ゲート電極配線7のライン分離のためモリブデン膜上にレジストマスクを形成しRIEにより除去分離し、次に分離したゲート電極配線7間をレジストにより保護し、ゲート電極配線7であるモリブデン膜をマスクとして弗酸によりゲート絶縁層3であるSiO₂膜のエッチングを行い、ゲート電極配線7のライン分離と電子放出部8の開口が完了する。SiO₂膜のエッチングの際には、エミッタ6であるカーボンナノチューブを絶縁性膜4表面より突出させるためのエッチングも同時に行っている。

【0128】電子放出部8の開口窓の大きさは、5μm角であり、3×3の合計9個の電子源を作製した(図28(c))。

【0129】以上のように作製した電子源アレイの上方1mmに蛍光板を配置し、アノード電圧として5kV印加し、ゲート電圧を-2V～20Vの範囲で変化させエミッション電流を確認した。アノード電流は、1画素当たり最大で3μA得られ、また、アドレスした画素数に比例してアノード電流が安定に変化することを確認した。

【0130】電子源アレイの駆動においては、前述の通りV_A/d_A > V_G/d_G (アノード電極1-2(図26(a))に印加する電圧をV_A、ゲート電極配線7に印加する電圧をV_G、電子放出部8から前記アノード電極

1-2までの距離をd_A、前記電子放出部8から前記ゲート電極配線7までの距離をd_G)の領域でエミッション電流制御が確認でき、更には同じ面積で形成した金属エミッタであるSpindt型金属電子源より蛍光板に現れる輝点の大きさが充分小さいことも確認できた。

【0131】また、同様の工程で本実施例におけるバラスト抵抗層2bとして機能するシリコン膜を挿入していない電子源アレイも作製し、バラスト抵抗層2bの機能確認も行った。本実施例では、エミッション電流が1μA時に電流変動は±5%程度であったものが、バラスト抵抗層2bを有しない電子源アレイでは、同様のエミッション電流1μA時の変動は±15%を越えており、本実施例ほど安定な電流を得ることが出来なかった。

【0132】(実施例10) 本発明に係る第10の実施例では、カーボンナノチューブ作製のための高温プロセスを必要としない構造について説明する。実施例を、工程図として図27(a)～(c)および図28(a)～(c)を用いて、具体的に説明するが、基板1はガラス基板を用いること以外、概ね第9の実施例と同様である。電子源アレイの仕様も同じである。

【0133】図27(a)に示すように、ガラスからなる基板1上にカソード電極層2aとして0.4μmのモリブデン膜、バラスト抵抗層2bとして0.5μmのシリコン膜を順次積層形成した。以降、電子放出材料を細孔5に充填するまでは、第9の実施例と同じである。細孔5形成(図28(a))後は、カーボンナノチューブを形成するのではなく、浴槽中で銅を細孔5中に電界を加えながら析出させた(図28(b))。この後のゲート絶縁層3、ゲート電極配線7の形成、パターニングも第9の実施例と同様の工程を経て、電子源アレイの作製は終了する(図28(c))。

【0134】上述のようにして作製した電子源アレイの上方1mmに蛍光板を配置し、アノード電圧として5kV印加し、ゲート電圧を0～200Vの範囲で変化させエミッション電流を確認した。アノード電流は、1画素当たり最大で3μA得られ、また、アドレスした画素数に比例してアノード電流が変化することを確認した。

【0135】(実施例11) 本発明に係る第11の実施例を、工程図として図29(a)～(c)及び図30(a)～(c)を用いて、具体的に説明する。本実施例は、その構造、製造方法は前記実施例9に準ずる。実施例9ではカソード電極配線2とゲート電極配線7の交差する電子放出部8に対し1つのゲート開口部13を形成したものであるが、本実施例では絶縁性膜4の面積を大きくし、その中に複数個のゲート開口部13を設けたものである。ディスプレイに適用する場合、本実施例では1つの画素に複数個のゲート開口部13(図30(c))を有するので、その構成としてはSpindt型金属電子源に似ている。今回作製した絶縁性膜4の大きさは100μm角とした。

【0136】まず、図29(a)に示すように、シリカ-アルミナからなる基板1上にカソード電極層2aとして0.4μmのモリブデン膜、バラスト抵抗層2bとして0.5μmのシリコン膜を順次積層形成した。この時の各配線幅は150μm、ピッチは300μmとし、2ライン形成した。

【0137】次に、図29(b)、(c)(図29(c)は図29(b)での線分x-yでの断面図)に示すように、細孔5を有する絶縁性膜4の前駆体4aであるアルミニウム膜をスパッタ法により3μm堆積した後、フォトリソ工程とエッチングにより電子放出部8となる部分のみに島状に残した。

【0138】以下、図29(b)に示す線分x-yでの断面図である図30(a)～(c)を用いて説明する。この後、硫酸溶液中で陽極酸化を行い、アルミニウムを酸化すると共に、絶縁性膜4であるアルミナ中に細孔5を形成する。

【0139】バラスト抵抗層2bであるシリコンは、陽極酸化においては下地金属のカソード電極層2aを陽極酸化溶液より保護することと、アルミニウム陽極酸化のストップ層の役割を果している。このようにバラスト抵抗層2bは、高抵抗材料であると共に、陽極酸化溶液に対して腐食されない材料が好ましく、同様の材料としてSiC等を用いても構わない。陽極酸化は前述の通り、バラスト抵抗層2bであるシリコン膜に到達すると酸化は終了するが、酸化膜の電極界面にはバリア層が形成されているため、細孔5は電極まで貫通していない。

【0140】そこで、細孔5中のバリア層を除去するため、陽極電圧を徐々に下げながら、バリア層を除去した(図30(a))。形成した細孔5は直径30nm、ピッチは40nmであった。この後は、メッキ法により触媒金属であるニッケルを細孔5の底部に形成し、プラズマCVD法でカーボンナノチューブの原料となるメタンガスと希釈用の水素ガスを流しながら、細孔5中にエミッタ6となるカーボンナノチューブを形成した(図30(b))。

【0141】次に、ゲート絶縁層3としてSiO₂膜を5μm、ゲート電極配線7となるモリブデン膜0.4μmを堆積した。この後、まず、ゲート電極配線7のライン分離のためモリブデン膜上にレジストマスクを形成しRIEにより除去分離し、次に、分離したゲート電極配線7間をレジストにより保護し、ゲート電極配線7であるモリブデン膜をマスクとして弗酸によりゲート絶縁層3であるSiO₂膜のエッチングを行い、ゲート電極配線7のライン分離と電子放出部8の開口となるゲート開口部13が完了する(図30(c))。SiO₂膜エッチングの際には、エミッタ6であるカーボンナノチューブを絶縁性膜4表面より突出させるためのエッチングも同時に行っている。

【0142】ゲート開口部13の開口窓の大きさは、5

μmφ、そのピッチは20μmである。100μm角の一つの絶縁性膜4内に4×4=16個であり、合計16×4=64個のゲート開口部13を有する電子源アレイを作製した。

【0143】以上のように作製した電子源アレイの上方1mmに蛍光板を配置し、アノード電圧として5kV印加し、ゲート電圧を-2V～20Vの範囲で変化させエミッション電流を確認した。アノード電流は、1画素当たり最大で40μA得られ、また、アドレスした画素数に比例してアノード電流が安定に変化することを確認した。

【0144】電子源アレイの駆動においては、前述の通りV_A/d_A > V_G/d_G (アノード電極12(図26(a))に印加する電圧をV_A、ゲート電極配線7に印加する電圧をV_G、電子放出部8から前記アノード電極12までの距離をd_A、前記電子放出部8から前記ゲート電極配線7までの距離をd_G)の領域でエミッション電流制御が確認できた。

【0145】また、同様の工程で本実施例におけるバラスト抵抗層2bとして機能するシリコン膜を挿入していない電子源アレイも作製し、バラスト抵抗層2bの機能確認も行った。本実施例では、エミッション電流が1μA時に電流変動は±1%以下であったものが、バラスト抵抗層2bを有しない電子源アレイでは、同様のエミッション電流1μA時の変動は±5～10%程度であり、本実施例ほど安定な電流を得ることが出来なかった。

【0146】(実施例12)本発明に係る第12の実施例でも、カーボンナノチューブ作製のための高温プロセスを必要としない構造について説明する。実施例を、工程図として図29(a)～(c)及び図30(a)～(c)を用いて、具体的に説明するが、基板1はガラス基板を用いること以外、概ね第11の実施例と同様である。電子源アレイの仕様も同じである。

【0147】図29(a)に示すように、ガラスからなる基板1上にカソード電極層2aとして0.4μmのモリブデン膜、バラスト抵抗層2bとして0.5μmのシリコン膜を順次積層形成した。以降、電子放出材料を細孔5に充填するまでは、第11の実施例と同じである。細孔5形成(図30(a))後は、浴槽中で銅を細孔5中に電界を加えながら析出させた。銅の先端がアルミナ表面に達したところで成長を終了した(図30(b))。この後のゲート絶縁層3、ゲート電極配線7の形成、バーニングも第11の実施例と同様の工程を経て、電子源アレイの作製は終了する(図30(c))。

【0148】以上作製した電子源アレイの上方1mmに蛍光板を配置し、アノード電圧として5kV印加し、ゲート電圧を0～200Vの範囲で変化させエミッション電流を確認した。アノード電流は、1画素当たり最大で10μA得られ、また、アドレスした画素数に比例して

アノード電流が変化することを確認した。

【0149】上述した実施の形態1および実施の形態2では、電子放出部8の絶縁性膜4に細孔5を設けて、前記細孔5の中に電子放出材料を充填することにより、個々のエミッタ6が電気的に分離された、形状均一性および電界集中効率がよく、高密度に垂直配向した電子源の形成について示したが、以下の実施の形態3では、微小な大きさの電子放出材料を主成分とする集合体を複数に分割配置した例について説明する。

【0150】〔実施の形態3〕本発明のさらに他の実施の形態について説明すれば、以下の通りである。

【0151】なお、本実施の形態では、微小な大きさの電子放出材料を主成分とする集合体により電子放出部が形成されている電子源アレイをX-Yマトリクス駆動が可能なディスプレイ用電子源アレイに適用した構造について説明する。本発明の斜視図を図31(a)に示し、図31(a)に記載の線分x-yでの断面図を図31(b)に示す。

【0152】電子放出領域は、直交するカソード電極配線2とゲート電極配線7の交わる部分に形成されており、X-Yマトリクス駆動できるように配置された電子放出部8を有している。また、この電子放出部8は、各々がカソード電極配線2とゲート電極配線7のクロス部分において、複数の領域に分割され、各分割領域は、微小な大きさの電子放出材料を主成分とする集合体により構成される複数のエミッタ6で構成されている。

【0153】電子源に電子を供給するカソード電極配線2は、基板1上に積層されたカソード電極層2aと、該カソード電極層2a上に積層され、前記電子放出部8と電気的に接続されるバラスト抵抗層2bとで構成される。

【0154】また、エミッタ6は、各々が空間的に分離された状態で形成されており、カソード電極層2aとはバラスト抵抗層2bを介して電気的に結合している。このときの本発明の等価回路図を図32(a)に、従来構成での等価回路を図32(b)に示す。

【0155】図32(b)に示した従来構成では、各エミッタ6には材料として有する内部抵抗11しか入っていないため、抵抗による放出電流の制限は受け難く、更に電子放出部8内に平面状に展開する連続なペースト膜として形成されているため、膜内での不均一、不安定を抑制する機能を持ち合わせていない。

【0156】これに対して、図32(a)に示した本発明の構成では、従来では一体となっていたペースト膜を空間的に小サイズに分離分割しているので、電子放出点を電子放出部8内に分散することが出来る。

【0157】つまり、本発明の電子源アレイでは、各エミッタ6は、内部抵抗11を有し、バラスト抵抗層2bに直列に接続しており、それらは独立に並列にカソード電極層2aに接続している。カソード電極層2aから電

子がエミッタ6に供給されると、バラスト抵抗層2bによりその電流量に比例した電圧降下が生じるため、放出しやすいエミッタ6は電流量に制限がかかり、放出量の均一化、安定化が図れる。また、この効果は、電子放出部8内のみならず、基板1上に形成される全ての電子源において同様に作用するため、電子源アレイの均一性も得ることが出来る。

【0158】更には、本発明では、印刷法、インクジェット法などの安価な製造方法を適用できるので、大面積の電子源アレイを低コストで作製することが出来る。

【0159】このようにして、本発明では現在主流となっているSpin-dt型金属電子源に比べ、安価な製造方法で均一な微細電子源を形成し、電子放出特性の安定性、再現性を向上させるとともに、大面積に適した電子源アレイを提供することができる。

【0160】上記電子源アレイの製造方法の概略を図33(a)、(b)及び図34を用いて説明する。本例では電子放出材料として粉体として扱え、且つ電子放出特性に優れるカーボンナノチューブを使用している。

【0161】まず、表面が絶縁性である基板1上にストライプ状のカソード電極配線2を構成するカソード電極層2a、バラスト抵抗層2bを印刷法により積層形成(図33(a))し、その上にペースト状にしたカーボンナノチューブを同様に印刷法により、電子放出部8に複数分離して形成し、エミッタ6とする(図33(b))。更に、電子放出部8を取り囲むようにゲート絶縁層3、ゲート電極配線7を形成して、図34に示すように電子源アレイの作製を完了する。

【0162】以下に、本実施の形態で説明した電子源アレイの構造および製造方法についての実施例を示す。

【0163】(実施例13) 本発明に係る第13の実施例を、工程図として図33(a)、(b)及び図34を用いて具体的に説明する。

【0164】まず、図33(a)に示すように、ガラスからなる基板1上にカソード電極層2aとして $10\mu\text{m}$ の銀膜、バラスト抵抗層2bとして $5\mu\text{m}$ の酸化ルテニウム膜を順次印刷法により積層形成した。この時の各配線幅は $200\mu\text{m}$ 、ピッチは $500\mu\text{m}$ とし、3ライン形成した。

【0165】次に、プラズマCVD法により別途作製した長さ $5\mu\text{m}$ 程度のカーボンナノチューブをフリットガラスパウダーと共に溶媒中に混合し、ペーストを作製した。このペーストを図33(b)に示すように、ステンレスで作製した開口径 $25\mu\text{m}$ 、ピッチが $50\mu\text{m}$ のマスクを用いて、バラスト抵抗層2bである酸化ルテニウム膜上に 3×3 個=9個のエミッタ6を形成した(図33(b))。

【0166】この後、プラズマディスプレイで用いられている絶縁ペーストを用いて $200\mu\text{m}$ 厚のゲート絶縁層3と、銀ペーストを用いて $10\mu\text{m}$ 厚のゲート電極配

線7を印刷法により順次積層し、大気中で焼成を行い電子源アレイの作製を完了した(図34)。

【0167】本実施例では、電子放出材料であるカーボンナノチューブをフリットガラスパウダー及び有機溶媒中に分散させて、ペーストを形成したが、例えば、微小ノズルを用いて、エミッタを形成する場合は、例えばレジスト材やセルロース系材料等のポリマー中に分散させることが好ましい。

【0168】また、本実施例ではゲート電極配線7を電子放出部8の外周を取り囲むように配置したが、電子放出部8上部にメッシュ状の電極として配置しても構わない。

【0169】以上のように作製した電子源アレイの上方1mmに蛍光板を配置し、アノード電圧として5kV印加し、ゲート電圧を0V~500Vの範囲で変化させエミッション電流を確認した。アノード電流は、1画素当たり最大で20μA得られ、また、アドレスした画素数に比例してアノード電流が安定に変化することを確認した。

【0170】電子源アレイの駆動においては、前述の通り $V_A/d_A > V_G/d_G$ (アノード電極12(図32(a))に印加する電圧を V_A 、ゲート電極配線7に印加する電圧を V_G 、電子放出部8から前記アノード電極12までの距離を d_A 、前記電子放出部8から前記ゲート電極配線7までの距離を d_G)の領域で放出電流量が制御出来ることを確認した。このような駆動方法において、本実施例ではゲート電極配線7を電子放出部8の外周を取り囲むように配置したが、電子放出部8上部にメッシュ状の電極として配置しても構わない。

【0171】また、同様の工程で本実施例におけるバラスト抵抗層2bとして機能するシリコン膜を挿入していない電子源アレイとエミッタ6を連続膜で形成した電子源アレイも作製し、エミッタ分離分割効果とバラスト抵抗層2bの機能確認も行った。エミッタ分離分割効果においては、蛍光板の発光により確認し、輝点の数は増加していた。また、バラスト抵抗層2bを挿入したものは、エミッション電流が1μA時に電流の変動が±5~10%程度と前記実施の形態2の実施例9に比べ変動はやや大きかったが、バラスト抵抗層2bを挿入していないものは±20%を越えており、本実施例ほど安定な電流を得ることが出来なかった。

【0172】

【発明の効果】以上説明したように、本発明の電子源アレイによれば以下の効果を有する。

【0173】第1に、カソード電極と細孔を形成する前駆体である層とを独立して設け、各層の機能分担を行うことにより、カソード電極、電子放出部、ゲート電極を任意の形状に形成することが可能となり、カソード電極に直交するようにゲート電極を配設することにより、ディスプレイを実現する上で必要不可欠であるX-Yマトリ

クス駆動が可能となつた。

【0174】さらに、電子放出部を形成する細孔を有する絶縁性膜を島状に分割配置し、一つ当たりの面積を小さくすることにより、プロセス中などで生じる、基板、カソード電極、ゲート電極からの熱歪を緩和することが可能となつた。

【0175】また、電子放出材料が充填された細孔の1つ1つを取り囲む形でゲート電極を配設することにより、電子放出部とゲート電極の距離を近接化し、低電圧で動作可能とし、さらに、電子放出部先端の電界集中を効率良く行うことが可能となつた。

【0176】また、電圧供給ラインを別途設けることにより、ゲート電極膜厚を厚く出来ない場合の、膜厚抵抗の増加による電圧降下や信号遅延の問題を解決することが可能となつた。

【0177】カソード電極と電子放出材料の間に、放出電流制限用の抵抗層を配置することにより、電子源アレイの動作を安定化、均一化することが可能となつた。バラスト抵抗層に、さらに導電性材料を配置することにより、電子放出材料と抵抗層に生じる障壁層の影響を低減する事が可能となつた。

【0178】さらに、細孔中に充填する材料がカーボンナノチューブである場合、導電層を、触媒作用を有する金属で形成することにより、形成温度の低温化、カーボンナノチューブの構造欠陥の減少、必要とする部分への選択成長を行わせることが可能となり、また、細孔中に充填する材料が金属でありメッキ法で形成する場合、導電層をシード層として機能させることが可能となつた。

【0179】また、電子放出部がペーストのような微小さな大きさの電子放出材料を主成分とする集合体より構成されている場合において、ゲート電極に取り囲まれたカソード電極上に形成されている電子放出部を電子放出領域内で複数に分離分割することで電子放出点が分散され、電子源アレイの動作を安定化、均一化することが可能となつた。

【0180】さらに、カソード電極と電子放出領域内で複数に分離分割された電子放出部との間にバラスト抵抗層を挿入することにより、一つ一つの電子放出部に並列にバラスト抵抗の機能を付加できるため、電子源アレイの動作をより一層安定化、均一化することが可能となつた。

【0181】また、製造方法において、特に、陽極酸化を用いることにより、リソグラフィー工程を用いずに容易に微小な細孔を形成することができ、陽極酸化により形成されたバリア層を除去し、細孔を貫通させる方法が、陽極酸化時と逆の電圧を印加することによりバリア層を溶解するため、一連の工程で微小な細孔内のバリア層のみ除去する簡単な製造方法とすることができた。

【0182】さらに、カソード電極と細孔を有し電子放出材料が充填された絶縁性膜との間に挿入したバラスト

抵抗層に、陽極酸化溶液に対して耐性のある材料を使用することで、前記カソード電極を保護し、更には前記前駆体を完全に絶縁性膜に変換するためのストッパー層として用いることで、歩留まりの改善が出来た。

【0183】また、別の形態である電子放出部がベーストのような微小な大きさの電子放出材料を主成分とする集合体より構成されている電子源アレイにおいて、印刷法やインクジェット法などの真空を使用しない安価で、かつ大面積に適した製造方法を利用して特性の優れた電子源アレイを製造することが出来た。

【0184】また、電子源の駆動法では、アノード電圧によりエミッタより電子を引き出し、ゲート電圧で電子を制御することにより、本実施例で記載の平面状に展開したエミッタに対し、均一な電界を印加できるので、より一層の特性の改善を行うことが出来た。

【図面の簡単な説明】

【図1】本発明の電子源アレイの斜視図(a)及び断面図(b)である。

【図2】本発明の代表的な作製工程斜視図である。

【図3】本発明の代表的な作製工程であって、図2の線分x-yでの工程断面図である。

【図4】実施例1及び3にかかる作製工程図である。

【図5】実施例1及び3にかかる作製工程図である。

【図6】実施例1及び3にかかる作製工程図である。

【図7】実施例2及び4にかかる作製工程図である。

【図8】実施例2及び4にかかる作製工程図である。

【図9】実施例2及び4にかかる作製工程図である。

【図10】実施例5及び6にかかる作製工程図である。

【図1-1】実施例5及び6にかかる作製工程図である。

【図1-2】実施例5及び6にかかる作製工程図である。

【図1-3】実施例5及び6にかかる作製工程図である。

【図1-4】実施例5及び6にかかる作製工程図である。

【図1-5】実施例5及び6にかかる作製工程図である。

【図1-6】実施例5及び6にかかる作製工程図である。

【図1-7】実施例7及び8にかかる作製工程図である。

【図1-8】実施例7及び8にかかる作製工程図である。

【図1-9】実施例7及び8にかかる作製工程図である。

【図1-10】実施例7及び8にかかる作製工程図である。

【図1-11】実施例7及び8にかかる作製工程図である。

【図1-12】実施例7及び8にかかる作製工程図である。

【図1-13】実施例7及び8にかかる作製工程図である。

【図1-14】実施例7及び8にかかる作製工程図である。

【図1-15】実施例7及び8にかかる作製工程図である。

【図1-16】実施例7及び8にかかる作製工程図である。

【図1-17】実施例7及び8にかかる作製工程図である。

【図1-18】実施例7及び8にかかる作製工程図である。

【図1-19】実施例7及び8にかかる作製工程図である。

【図1-20】実施例7及び8にかかる作製工程図である。

【図1-21】実施例7及び8にかかる作製工程図である。

【図1-22】実施例7及び8にかかる作製工程図である。

【図1-23】実施例7及び8にかかる作製工程図である。

【図24】実施例8にかかる作製工程図である。

【図25】本発明の他の電子源アレイの斜視図(a)及び断面図(b)である。

【図26】(a)は本発明の電子源アレイの等価回路、(b)は従来の電子源アレイの等価回路である。

【図27】実施例9及び10にかかる作製工程図である。

【図28】実施例9及び10にかかる作製工程図である。

【図29】実施例11及び12にかかる作製工程図である。

【図30】実施例11及び12にかかる作製工程図である。

【図31】本発明の他の電子源アレイの斜視図(a)及び断面図(b)である。

【図32】(a)は本発明の電子源アレイの等価回路、(b)は従来の電子源アレイの等価回路である。

【図33】実施例13にかかる作製工程図である。

【図34】実施例13にかかる作製工程図である。

【図35】従来の電子源アレイの断面図である。

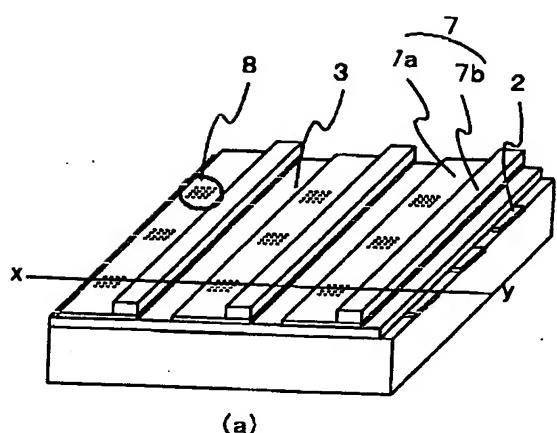
【図36】従来の電子源アレイの断面図である。

【図37】従来の電子源アレイの断面図である。

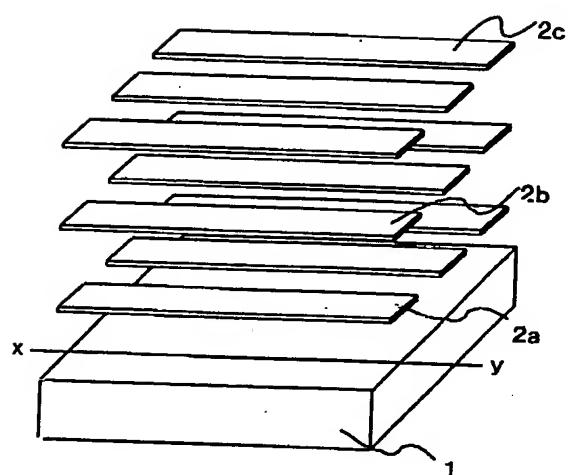
【符号の説明】

- 1 基板
- 2 カソード電極配線
- 2a カソード電極層
- 2b パラスト抵抗層
- 2c 導電層
- 3 ゲート絶縁層
- 4 絶縁性膜
- 4a 前駆体(絶縁性膜になる前のもの)
- 5 細孔
- 6 エミッタ
- 7 ゲート電極配線
- 7a 第1のゲート電極層
- 7b 第2のゲート電極層
- 8 電子放出部
- 9 第2のゲート絶縁層
- 10 キャップ
- 11 内部抵抗
- 12 アノード電極

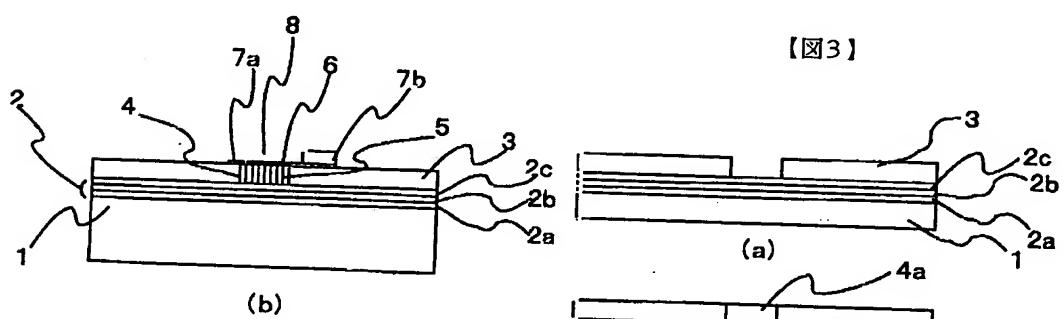
【図1】



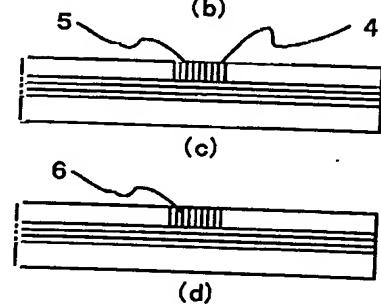
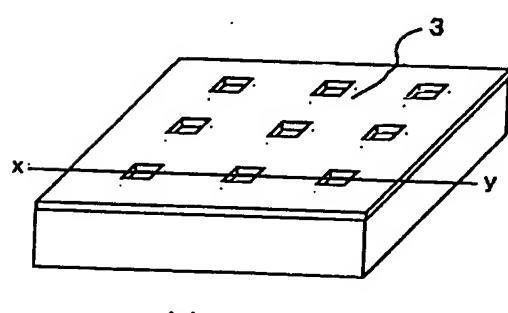
【図2】



【図3】



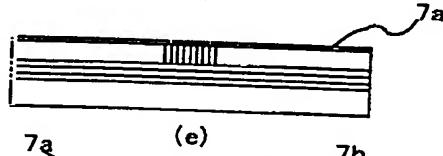
【図5】



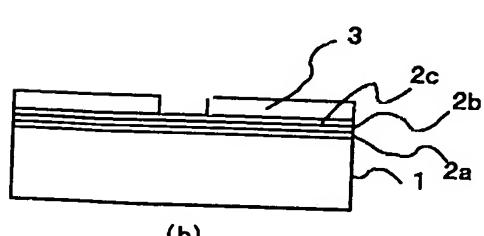
(c)



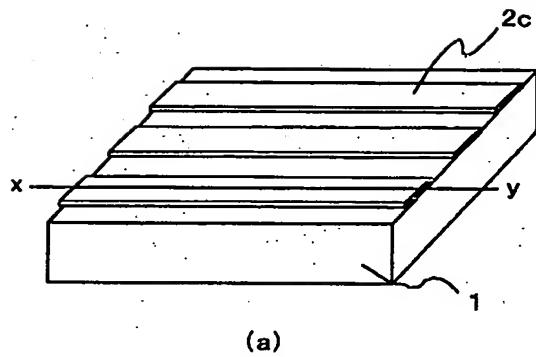
(e)



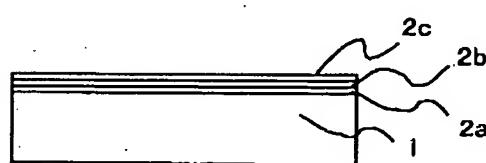
(f)



【図4】

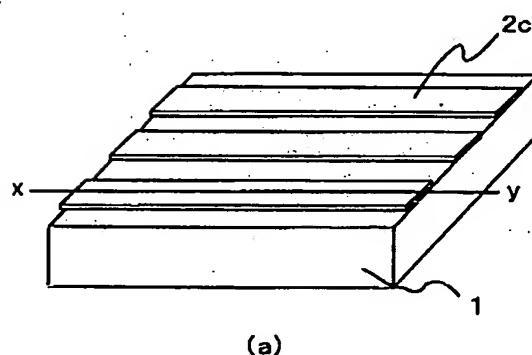


(a)



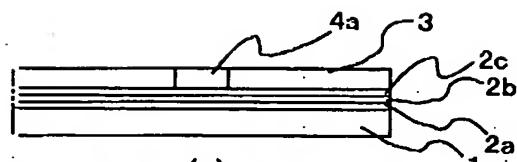
(b)

【図7】

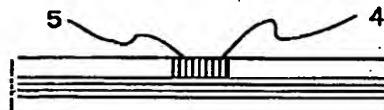


(a)

【図6】



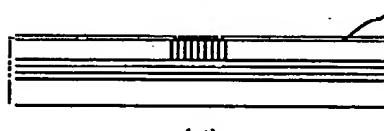
(a)



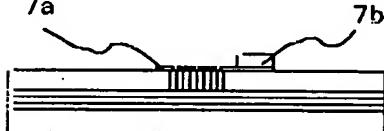
(b)



(c)

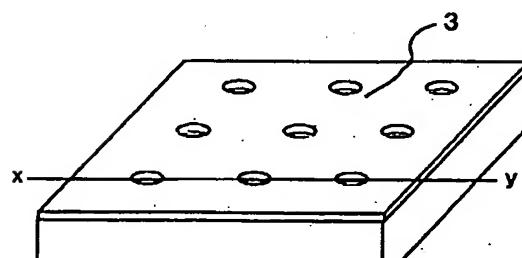


(d)

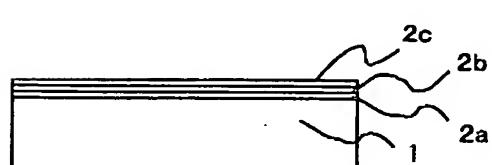


(e)

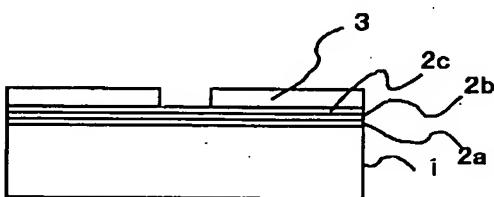
【図8】



(a)

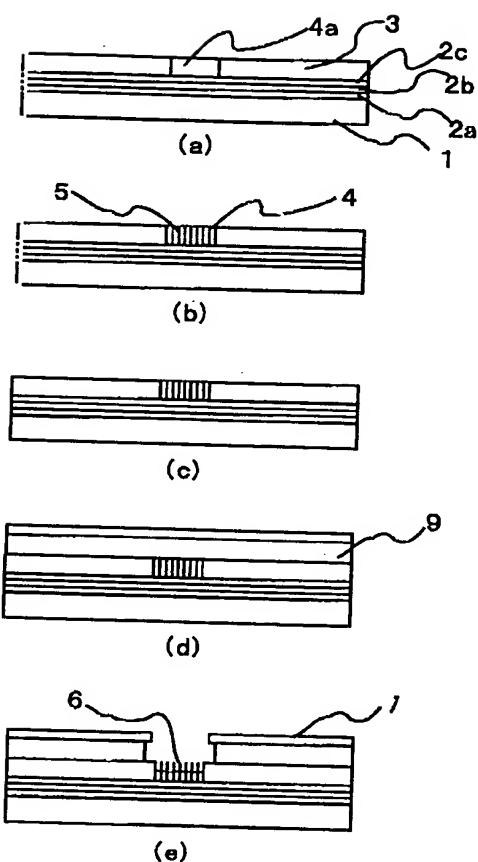


(b)

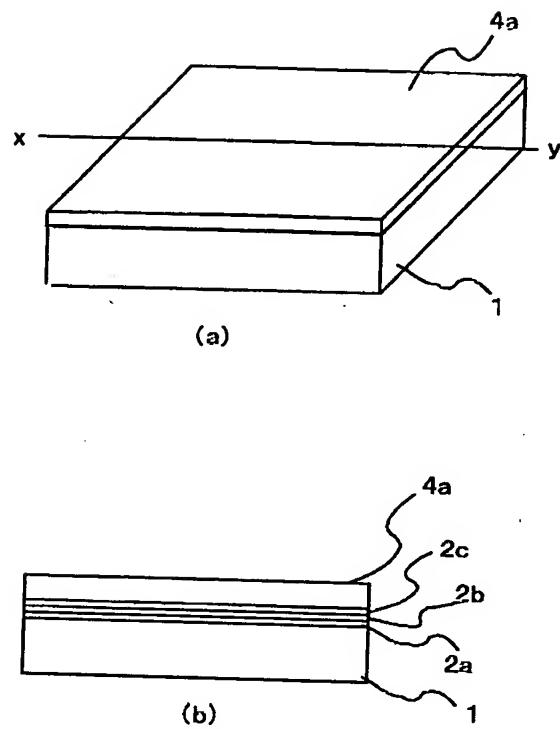


(b)

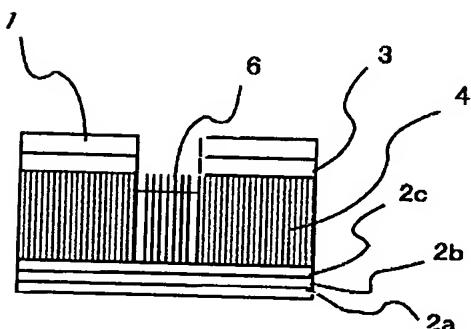
【図9】



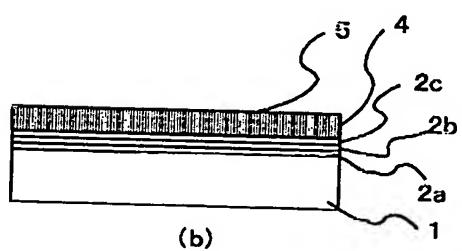
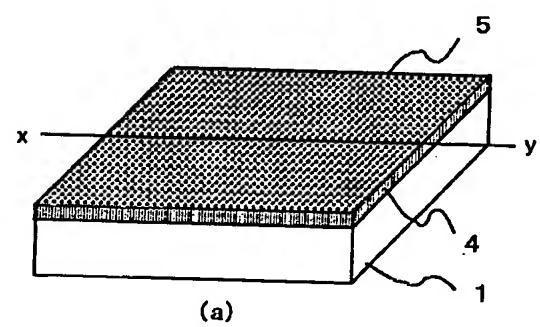
【図10】



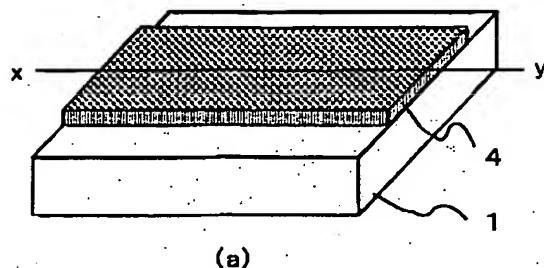
【図16】



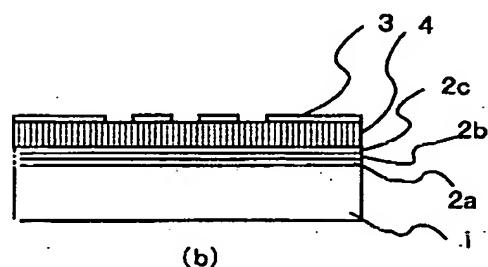
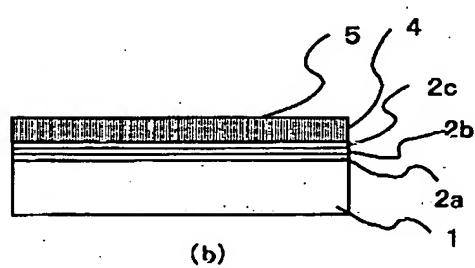
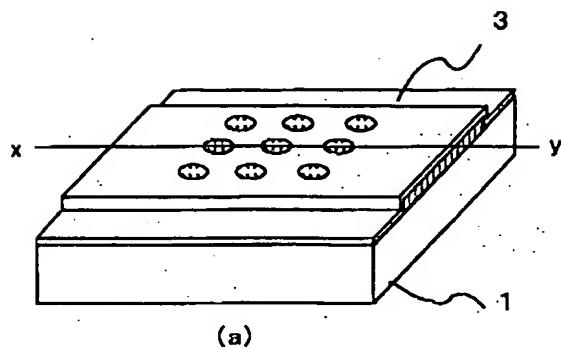
【図11】



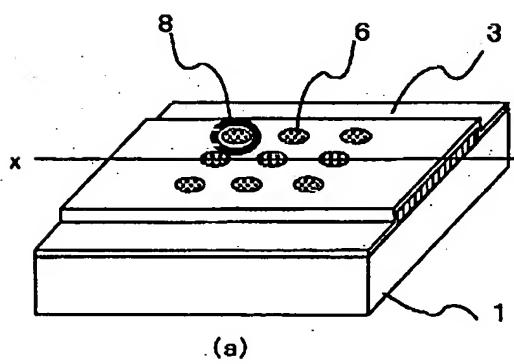
【図12】



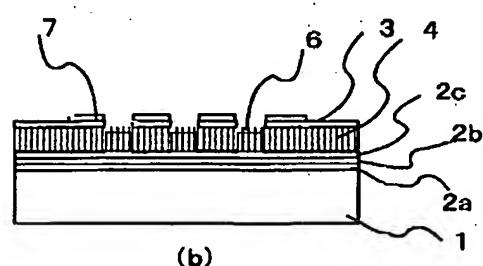
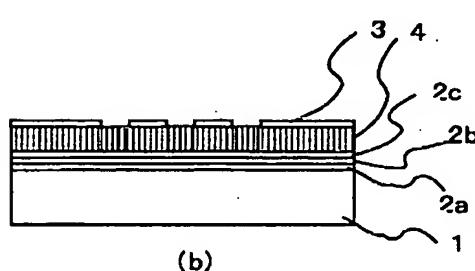
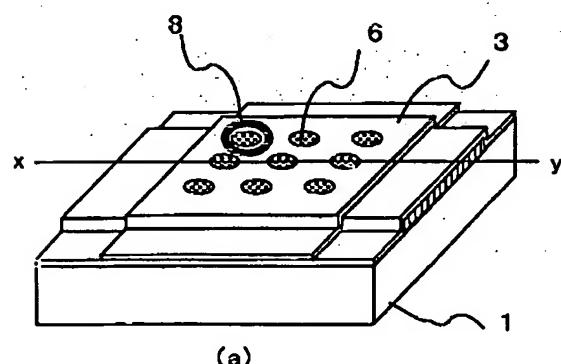
【図13】



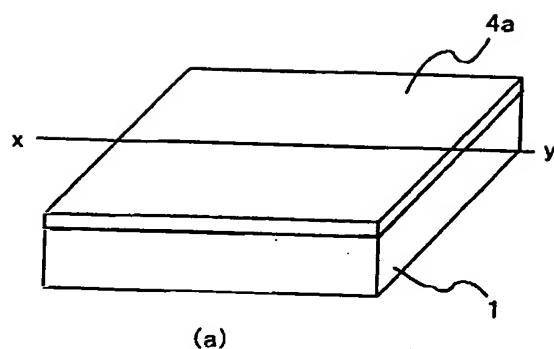
【図14】



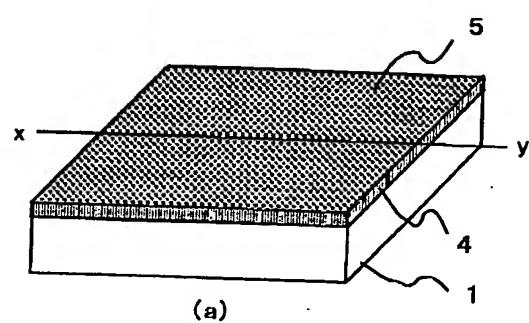
【図15】



【図17】

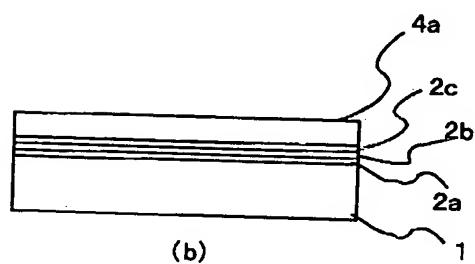


【図18】

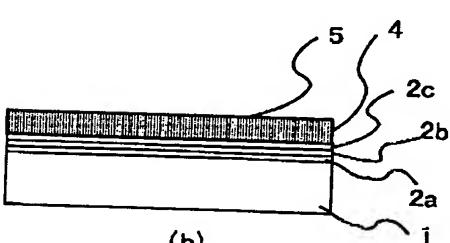


(a)

(a)

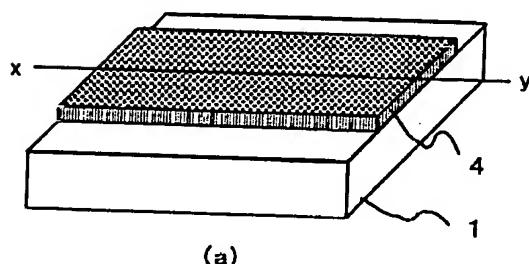


(b)



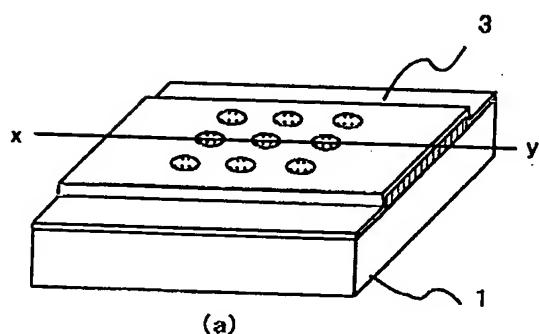
(b)

【図19】

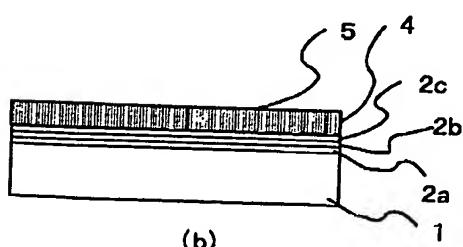


(a)

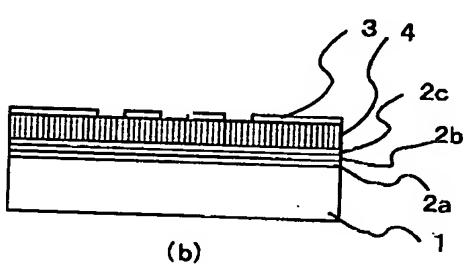
【図20】



(a)

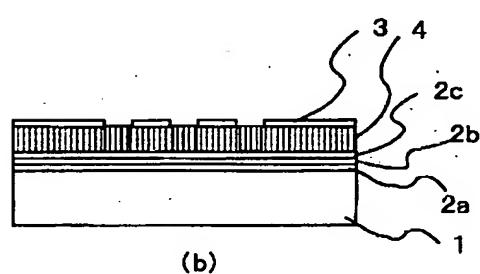
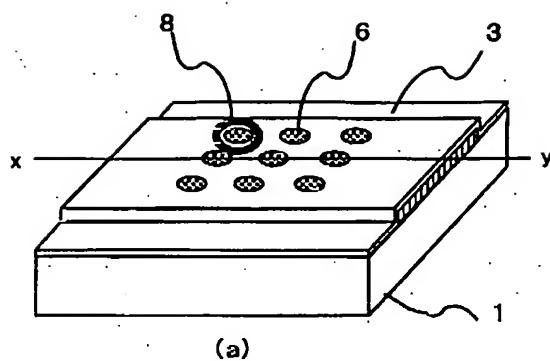


(b)

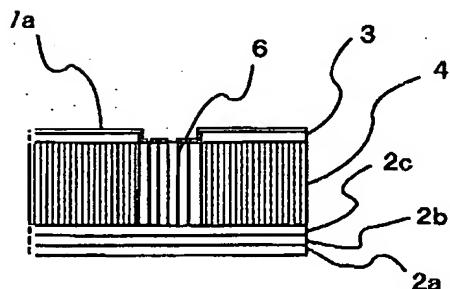


(b)

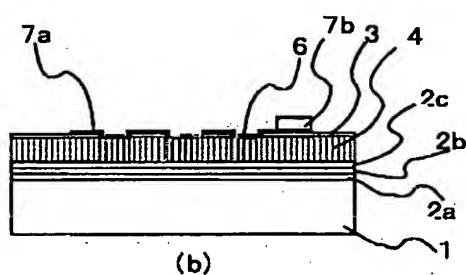
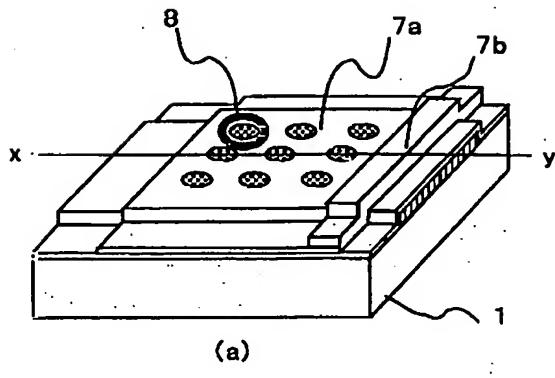
【図21】



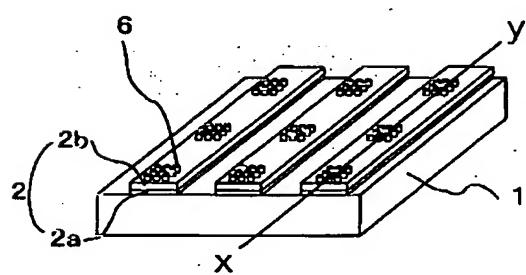
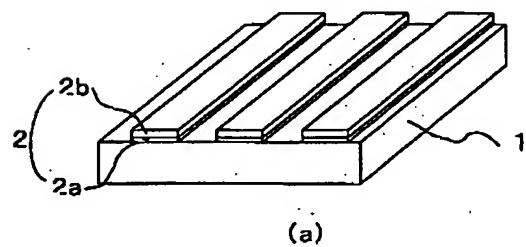
【図23】



【図22】

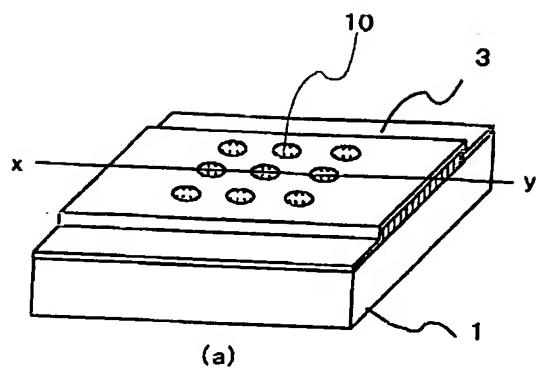


【図33】

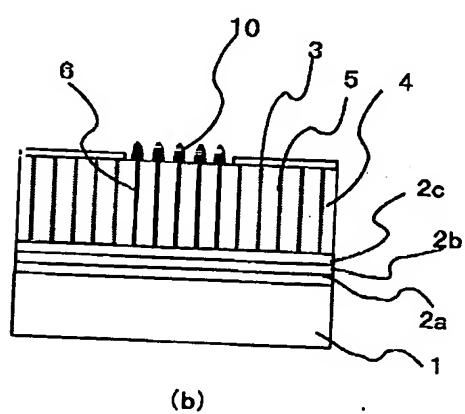


(b)

【図24】

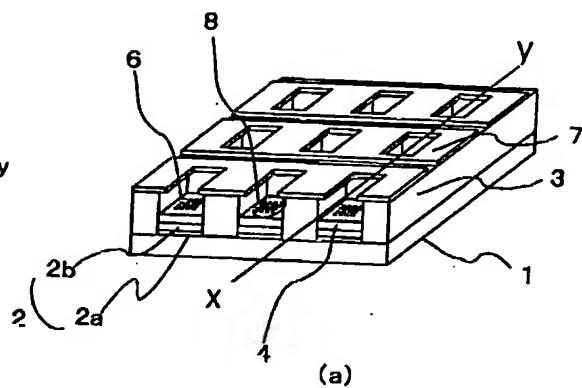


(a)

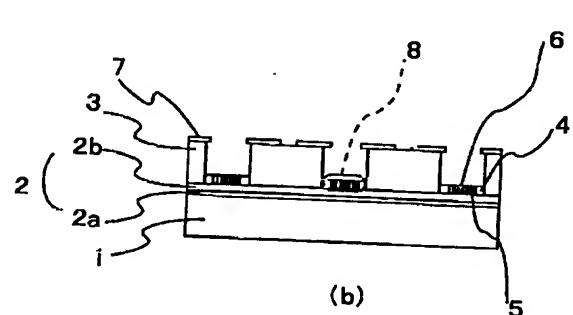


(b)

【図25】

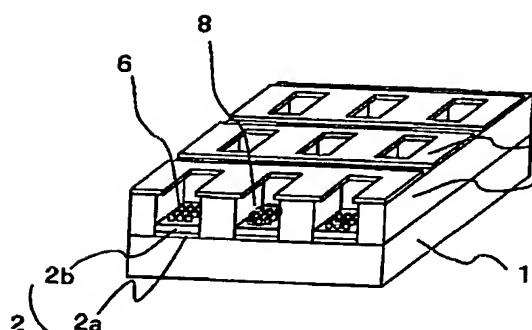


(a)

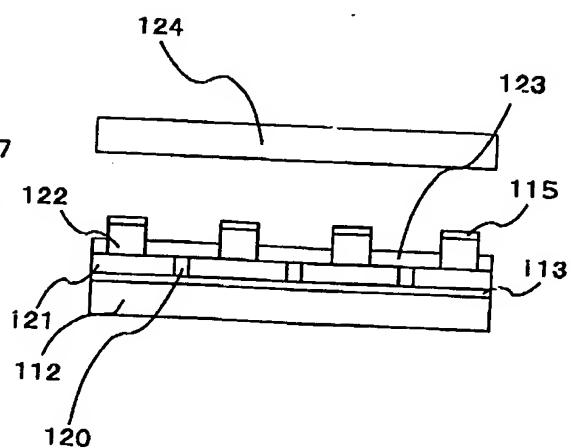


(b)

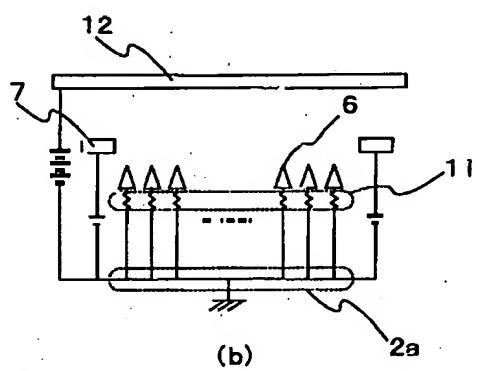
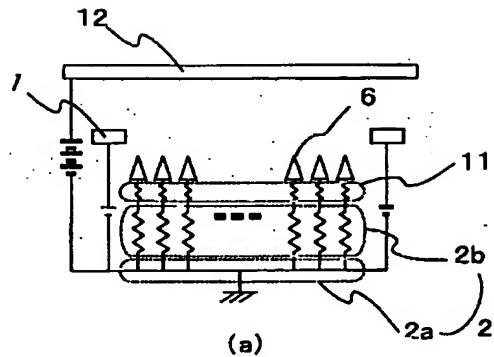
【図34】



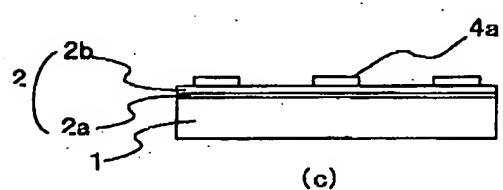
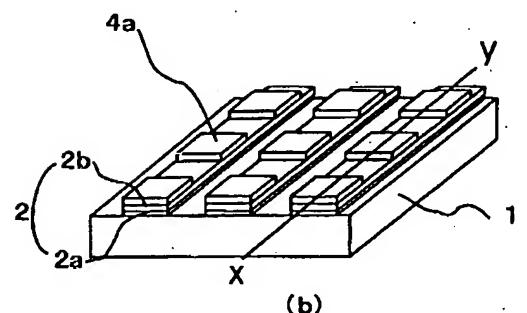
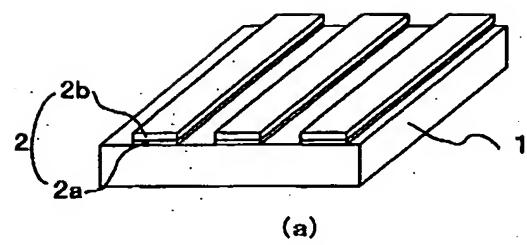
【図36】



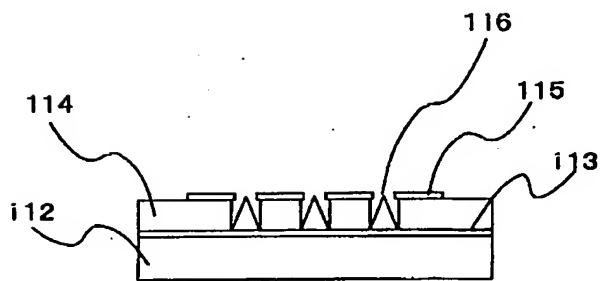
【図26】



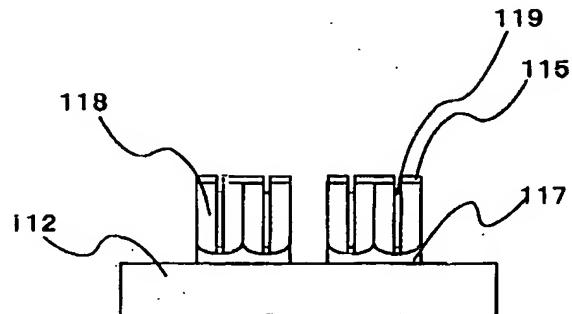
【図27】



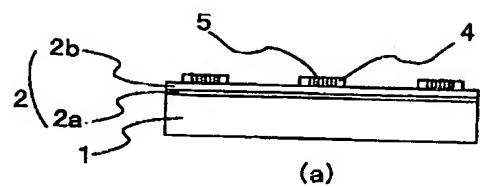
【図35】



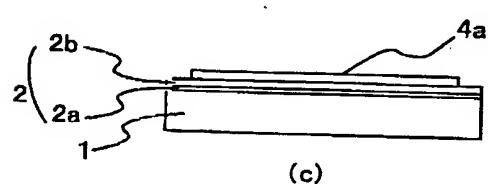
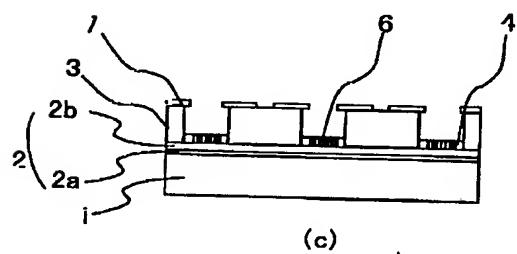
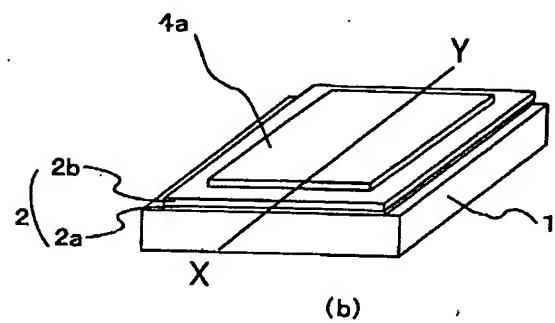
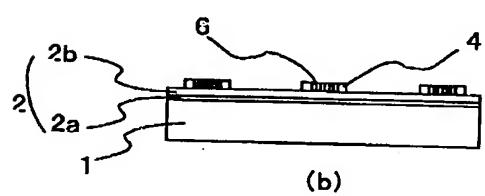
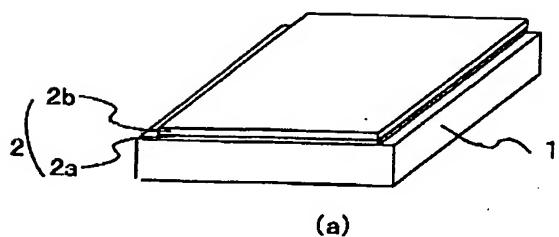
【図37】



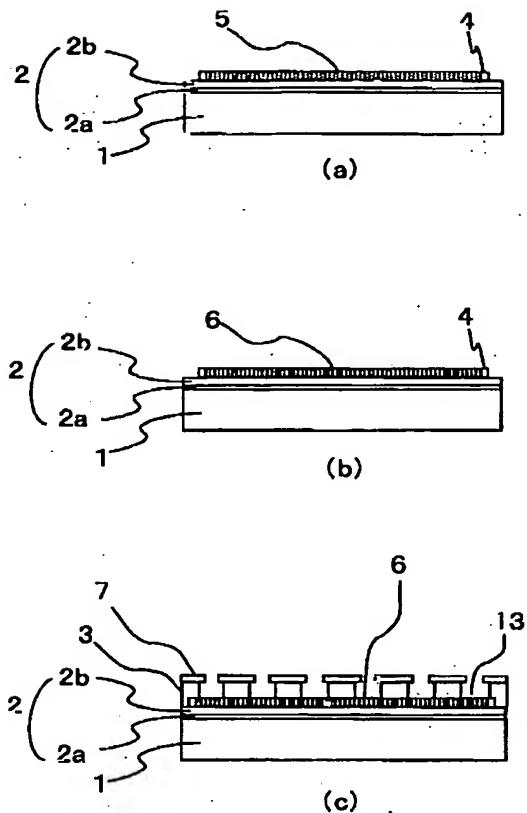
【図28】



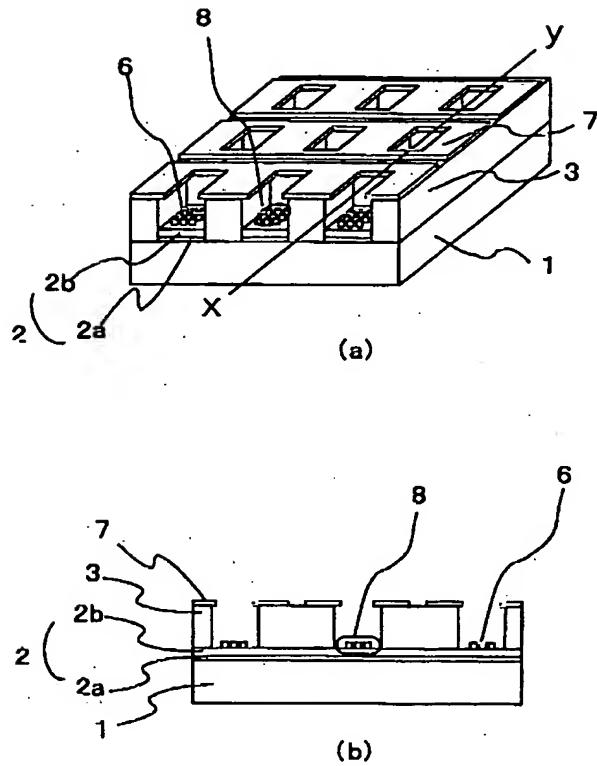
【図29】



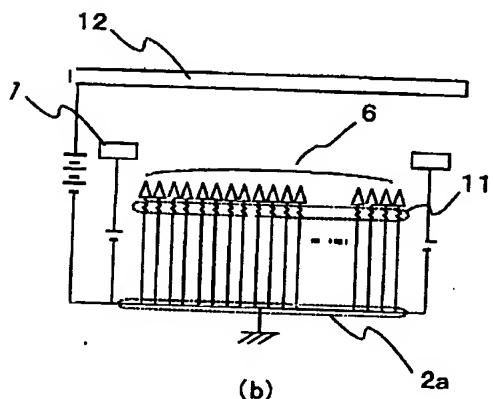
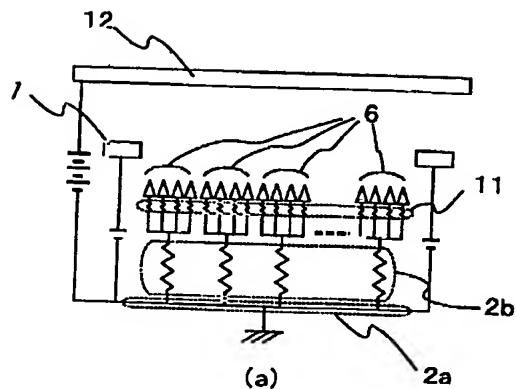
【図30】



【図31】



【図32】



フロントページの続き

(51) Int.Cl. 7

H 01 J 31/12

識別記号

F I
H 01 J 1/30

(参考)

F

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)